

AM625SIP – AM6254 Sitara™ プロセッサ、 LPDDR4 SDRAM 内蔵

1 特長

プロセッサ コア:

- 最高 1.4GHz、クワッド 64 ビットまでの Arm® Cortex®-A53 マイクロプロセッサ サブシステム
 - SECDED ECC 付き 512KB L2 共有キャッシュを搭載したクワッド コア Cortex-A53 クラスタ
 - 各 A53 コアには、SECDED ECC を備えた 32KB L1 D キャッシュおよびバリエーション保護を備えた 32KB L1 I キャッシュを搭載
- 最高 400MHz、シングル コア Arm® Cortex®-M4F MCU
 - 256KB の SRAM (SECDED ECC 付き)
- 専用デバイス / パワー マネージャ

マルチメディア:

- ディスプレイ サブシステム
 - デュアル ディスプレイのサポート
 - 各ディスプレイで 1920x1080 @ 60fps
 - 1 個の 2048x1080 + 1 個の 1280x720
 - ディスプレイごとに独立した PLL を使用して、最大 165MHz のピクセル クロックをサポートします
 - OLDI (4 レーン LVDS - 2x) および DPI (24 ビット RGB LVC MOS)
 - 凍結フレーム検出や MISR データ チェックなどの安全機能をサポートします
- 3D グラフィクス処理ユニット
 - クロックあたり 1 ピクセル以上
 - 500 メガピクセル / 秒を超える速度
 - 500 を超える MTexel/s、8 を超える GFLOP
 - 少なくとも 2 つの合成層をサポート
 - 最大 2048x1080 @ 60fps をサポート
 - ARGB32、RGB565、YUV 形式をサポート
 - 2D グラフィクス対応
 - OpenGL ES 3.1、Vulkan 1.2
- 1 つのカメラ シリアル インターフェイス (CSI-Rx) - DPHY 付きの 4 レーン
 - MIPI® CSI-2 v1.3 準拠 + MIPI D-PHY 1.2
 - 最大 1Gbps の 1、2、3、4 データレーン モードをサポート
 - CRC チェック + RAM 上の ECC による ECC 検証 / 訂正
 - 仮想チャネルのサポート (最大 16)
 - DMA 経由で DDR にストリーム データを直接書き込む機能

メモリ サブシステム:

- 最大 816KB のオンチップ RAM
 - SECDED ECC 付きの 64KB のオンチップ RAM (OCSRAM) は、最大 2 つの独立したメモリバンクについて、32KB 単位でより小さなバンクに分割できます
 - SMS サブシステムに SECDED ECC を搭載した 256KB のオンチップ RAM
 - テキサス・インスツルメンツのセキュリティファームウェア用の SMS サブシステムに SECDED ECC を搭載した 176KB のオンチップ RAM
 - Cortex-M4F MCU サブシステムに SECDED ECC を搭載した 256KB のオンチップ RAM
 - デバイス / パワー マネージャ サブシステムに SECDED ECC を搭載した 64KB のオンチップ RAM
- DDR サブシステム (DDRSS)
 - 512MB LPDDR4 SDRAM を内蔵
 - 最大 1600MT/s の速度をサポート
 - インライン ECC 付きの 16 ビット データ バス

セキュリティ:

- セキュア ブート対応
 - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
 - バックアップ キーによる RoT の切り替えをサポート
 - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
 - Arm TrustZone® をベースとする TEE
 - 分離用の広範なファイアウォール サポート
 - セキュアなウォッチドッグ / タイマ / IPC
 - セキュアなストレージのサポート
 - リプレイ保護メモリ ブロック (RPMB) のサポート
- ユーザー プログラマブルな HSM コアと専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティコントローラ
- 暗号化アクセラレーションに対応
 - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
 - 暗号化コアをサポート
 - AES - 128/192/256 ビットのキー サイズ
 - SHA2 - 224/256/384/512 ビットのキー サイズ
 - DRBG と真性乱数発生器



- セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
 - ソフトウェア制御によるセキュアなデバッグ アクセス
 - セキュリティ対応のデバッグ

PRU サブシステム:

- 最大 333MHz で動作するデュアル コア プログラマブルリアルタイム ユニット サブシステム (PRUSS)
- 追加の機能など、サイクル精度の高いプロトコルを実現するために GPIO を駆動することを目的としています。
 - 汎用入出力 (GPIO)
 - UART
 - I²C
 - 外部 ADC
- PRU ごとに 16KB のプログラム メモリ、SECDED ECC 付き
- PRU ごとに 8KB のデータ メモリ、SECDED ECC 付き
- 32KB 汎用メモリ、SECDED ECC 付き
- CRC32/16 HW アクセラレータ
- 30 x 32 ビット レジスタの 3 バンクを備えたスクラッチ パッド メモリ
- 9 個のキャプチャ イベントと 16 個の比較イベントを搭載した 1 つの産業用 64 ビット タイマと、低速および高速の補正
- 1 つの割り込みコントローラ (INTC)、最小 64 の入力イベントをサポート

高速インターフェイス:

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
 - RMII (10/100) または RGMII (10/100/1000)
 - IEEE1588 (Annex D, Annex E, Annex F と 802.1AS PTP)
 - Clause 45 MDIO PHY 管理
 - ALE エンジン (512 の分類子) に基づくパケット分類器
 - プライオリティ ベースのフロー制御
 - 時間に制約のあるネットワーク機能 (TSN) のサポート
 - 4 個の CPU ハードウェア割り込みペーシング
 - ハードウェアの IP/UDP/TCP チェックサム オフロード
- 2 つの USB2.0 ポート
 - USB ホスト、USB ペリフェラル、USB デュアルロール デバイス (DRD モード) として構成可能なポート
 - USB VBUS 検出機能を内蔵

一般的な接続機能:

- 9 個のユニバーサル非同期レシーバトランスミッタ (UART)
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 6 個の内部集積回路 (I²C) ポート
- 3 個のマルチチャネル オーディオ シリアル ポート (McASP)
 - 最高 50MHz の送信および受信クロック
 - 3 個の McASP で最大 16/10/6 本のシリアル データピンを使用でき、TX と RX の各クロックは独立しています
 - 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート
 - デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
 - 送受信 FIFO バッファ (256 バイト)
 - オーディオ リファレンス出力クロックのサポート
- 3 つの拡張 PWM モジュール (ePWM)
- 3 個の拡張直交エンコーダ パルス モジュール (EQEP)
- 3 個の拡張キャプチャ モジュール (ECAP)
- 汎用 I/O (GPIO) では、すべての LVCMOS I/O を GPIO として構成可能
- 3 個のコントローラ エリア ネットワーク (CAN) モジュール、CAN-FD をサポート
 - CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
 - 完全な CAN FD のサポート (最大 64 データ バイト)
 - メッセージ RAM のパリティ / ECC チェック
 - 最大速度: 8Mbps

メディアおよびデータ ストレージ:

- 3 つのマルチメディア カード / セキュア デジタル[®] (MMC/SD[®]/SDIO) インターフェイス
 - 1 個の 8 ビット eMMC インターフェイス、最大速度 HS200
 - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
 - eMMC 5.1、SD 3.0、SDIO バージョン 3.0 に準拠
- 最大 133 MHz の 1 つの汎用メモリ コントローラ (GPMC)
 - 柔軟な 8 および 16 ビットの非同期メモリ インターフェイスと、最大 4 つのチップ (22 ビット アドレス) セレクト (NAND、NOR、Muxed-NOR、SRAM)
 - BCH コードを使用して 4、8、または 16 ビット ECC をサポート

- ハミングコードを使用して1ビットECCをサポート
- エラー特定モジュール (ELM)
 - GPMC と組み合わせて使用すると、BCH アルゴリズムで生成されたシンドローム多項式により、データエラーのアドレスを特定可能
 - BCH アルゴリズムに基づいて、512 バイトのブロックごとに4、8、または16ビットのエラーを特定可能
- DDR/SDR をサポートする OSPI/QSPI
 - シリアル NAND およびシリアル NOR フラッシュ デバイスをサポート
 - 4GBytes のメモリアドレスをサポート
 - オプションのオンザフライ暗号化を備えた XIP モード

パワー マネージメント:

- デバイス/パワー マネージャでサポートされている低消費電力モード
 - CAN/GPIO/UART ウェイクアップに対する部分的 IO サポート
 - ディープスリープ
 - MCU のみ
 - スタンバイ
 - Cortex-A53 用のダイナミック周波数スケーリング

最適なパワー マネージメント ソリューション:

- 推奨される [TPS65219](#) パワー マネージメント IC (PMIC)
 - デバイスの電源要件を満たすように特別に設計されたコンパニオン PMIC
 - さまざまな使用事例をサポートするためのフレキシブルなマッピングと工場出荷時にプログラムされた構成

2 アプリケーション

- ヒューマン・マシン・インターフェイス (HMI)
- 医療用機器、医療用モニタ、ポータブル医療機器
- 家電製品向けユーザー・インターフェイスと接続性
- 電気自動車サービス機器 (EVSE) / 路車間通信 (V2X)
- スマート ホーム ゲートウェイ
- 組み込みセキュリティ: コントロール パネルとアクセス パネル

ブート オプション:

- UART
- I²C EEPROM
- OSPI/QSPI フラッシュ
- GPMC NOR/NAND フラッシュ
- シリアル NAND フラッシュ
- SD カード
- eMMC
- マスストレージ デバイスからの USB (ホスト) ブート
- 外部ホストからの USB (デバイス) ブート (DFU モード)
- イーサネット

テクノロジー/パッケージ:

- 16nm テクノロジー
- 13mm × 13mm、0.5mm ピッチ、425 ピン FCCSP BGA (ALW)

3 概要

AM625SIP は、ALW パッケージで供給される AM6254 デバイスのシステム イン パッケージ (SIP) 派生品で、LPDDR4 SDRAM が内蔵されています。このドキュメントでは、**AM62x Sitara プロセッサ データシート** (リビジョン B 以降) に記載された ALW パッケージの AM6254 デバイスとの違いと例外についてのみ説明しています。

LPDDR4 を内蔵した AM625SIP (システム イン パッケージ) Sitara™ MPU は、Linux 開発向けに構築されたアプリケーション プロセッサです。このシステム イン パッケージは、4x Arm® Cortex®-A53 の性能と組み込みの機能を備えた AM6254 デバイスに 512MB の LPDDR4 を統合します。デュアル ディスプレイ サポートや 3D グラフィックス アクセラレーションに加えて、広範なペリフェラルを搭載したシステム イン パッケージは、インテリジェントな機能と最適化された電源アーキテクチャを提供すると同時に、幅広い産業用アプリケーションに適しています。さらに、AM625SIP は、ハードウェア設計の簡素化、堅牢性の向上、サイズ / システム BOM の最適化、消費電力の低減を実現し、ソフトウェアとハードウェアの迅速な開発を可能にします。

アプリケーションの一部を以下に示します。

- 産業用 HMI
- 医療用機器、医療用モニタ、ポータブル医療機器
- スマート ホーム ゲートウェイ / 家電
- 組み込みセキュリティ: コントロール パネルとアクセス パネル

3 ポートのギガビット イーサネット スイッチには、1 つの内部ポートと 2 つの外部ポートがあり、時間に制約のあるネットワーク機能 (TSN) をサポートしています。デバイスに追加の PRU モジュールが搭載されているため、お客様独自の使用事例でリアルタイム I/O 機能を実現できます。さらに、AM625SIP に搭載されている広範なペリフェラル セットにより、以下のようなシステム レベルのコネクティビティを実現できます。USB、MMC/SD、カメラ インターフェイス、OSPI、CAN-FD、GPMC により、外部 ASIC/FPGA との平行ホスト インターフェイスを実現。AM625SIP デバイスは、内蔵のハードウェア セキュリティ モジュール (HSM) を使用した IP 保護用セキュア ブートもサポートしており、ポータブルおよび消費電力が重要なアプリケーション向けに高度なパワー マネージメント サポートを採用しています

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
AM625SIP	AMK (FCCSP BGA, 425)	13mm × 13mm

(1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

このデバイスの機能ブロック図を、[図 3-1](#) に示します。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能を理解するには、[Processor-SDK-AM62x](#) にある「ダウンロード」タブ・オプションにある AM62x ソフトウェア・ビルド・シートを検索してください。

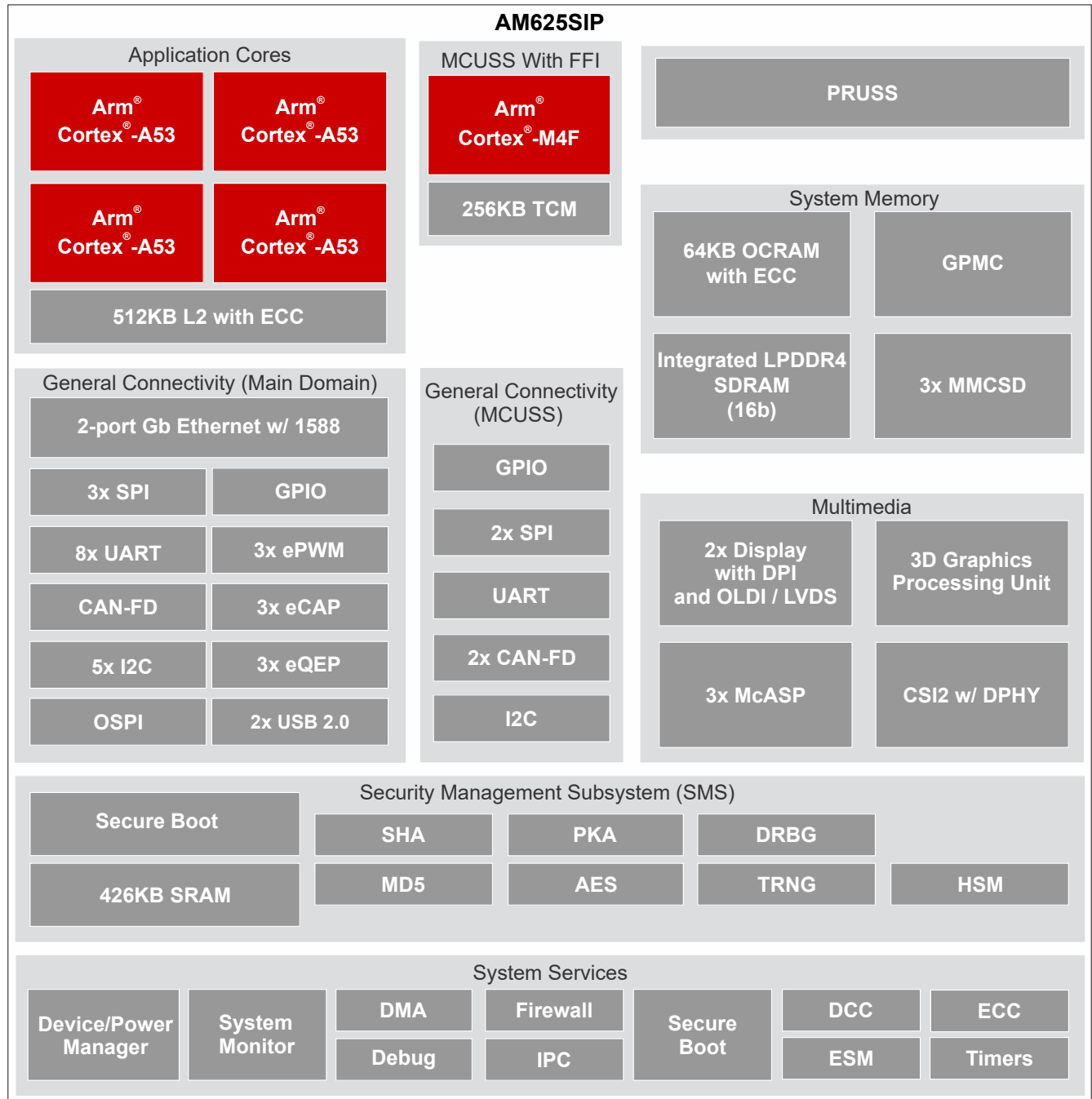


図 3-1. 機能ブロック図

Table of Contents

1 特長	1	7 アプリケーション、実装、およびレイアウト	18
2 アプリケーション	3	7.1 Peripheral- and Interface-Specific Design Information.....	18
3 概要	4	8 Device and Documentation Support	19
3.1 機能ブロック図.....	5	8.1 Device Nomenclature.....	19
4 Device Comparison	7	8.2 Tools and Software.....	22
4.1 Related Products.....	9	8.3 Documentation Support.....	22
5 Terminal Configuration and Functions	10	8.4 Support Resources.....	22
5.1 Pin Diagrams.....	10	8.5 Trademarks.....	22
5.2 Pin Attributes and Signal Descriptions.....	11	8.6 Electrostatic Discharge Caution.....	23
6 Specifications	13	8.7 用語集.....	23
6.1 Absolute Maximum Ratings.....	13	9 Revision History	23
6.2 ESD Ratings.....	13	10 Mechanical, Packaging, and Orderable Information	24
6.3 Recommended Operating Conditions.....	14	10.1 Packaging Information.....	24
6.4 Operating Performance Points.....	15		
6.5 Thermal Resistance Characteristics.....	16		
6.6 Timing and Switching Characteristics.....	17		

4 Device Comparison

表 4-1 shows a comparison between devices, highlighting the differences.

注

Availability of features listed in this table are a function of shared IO pins, where IO signals associated with many of the features are multiplexed to a limited number of pins. The SysConfig tool should be used to assign signal functions to pins. This will provide a better understanding of limitations associated with pin multiplexing.

注

To understand what device features are currently supported by TI Software Development Kits (SDKs), search for the *AM62x Software Build Sheet* located in the Downloads tab option provided at [Processor-SDK-AM62x](#).

表 4-1. Device Comparison

FEATURES	REFERENCE NAME	AM625SIP	AM625 ⁽¹⁾
		AM6254	AM6254
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13]⁽²⁾			
Register bit values by device "Features" code (See Device Naming Convention for more information on device features)			
	C:	-	0x1D123
	G:	-	0x1D127
	L:	0x1F120	-
PROCESSORS AND ACCELERATORS			
Speed Grades (See Device Speed Grades)		T	T, S, K, G
Arm Cortex-A53 Microprocessor Subsystem	Arm A53	Quad Core	
Arm Cortex-M4F in MCU domain	Arm M4F	Single Core No Functional Safety	Single Core Functional Safety (Optional)
3D Graphics Engine (OpenGL ES 3.1, Vulkan 1.2)	3D Graphics engine	Yes	
Device Management Subsystem	WKUP_R5F	Single core	
Crypto Accelerators	Security	Yes	
PROGRAM AND DATA STORAGE			
On-Chip Shared Memory (RAM) in MAIN Domain	OCSRAM	64KB (with SECCDED ECC)	
On-Chip Shared Memory (RAM) in M4F Domain	MCU_MSRRAM	256KB	
DDR4/LPDDR4 DDR Subsystem	DDRSS	Integrated 512MB LPDDR4 SDRAM	16-bit data with inline ECC; up to 8GB using DDR4 or up to 4GB using LPDDR4
General-Purpose Memory Controller	GPMC	Up to 1GB with ECC	
PERIPHERALS			
Display Subsystem	DSS	1x DPI	
		1x LVDS	
Modular Controller Area Network Interface with Full CAN-FD Support	MCAN	3	
General-Purpose I/O	GPIO	Up to 170	
Inter-Integrated Circuit Interface	I2C	6	
Multichannel Audio Serial Port	MCASP	3	
Multichannel Serial Peripheral Interface	MCSPi	5	
Multi-Media Card/ Secure Digital Interface	MM/CSD	1x eMMC (8-bits)	
		2x SD/SDIO (4-bits)	
Flash Subsystem (FSS) ⁽³⁾	OSPI0/QSPI0	Yes ⁽³⁾	

表 4-1. Device Comparison (続き)

FEATURES	REFERENCE NAME	AM625SIP	AM625 ⁽¹⁾
		AM6254	AM6254
Programmable Real-Time Unit Subsystem	PRUSS	2x PRU Cores	2x PRU Cores (Optional)
Industrial Communication Subsystem Support ⁽⁴⁾	PRUSS	No	
Gigabit Ethernet Interface	CPSW3G	Yes	
General-Purpose Timers	TIMER	12 (4 in MCU Channel)	
Enhanced Pulse-Width Modulator Module	EPWM	3	
Enhanced Capture Module	ECAP	3	
Enhanced Quadrature Encoder Pulse Module	EQEP	3	
Universal Asynchronous Receiver and Transmitter	UART	9	
CSI2-RX Controller with DPHY	CSI-RX	1	
USB2.0 Controller with PHY	USB 2.0	2	

- (1) This column is only provided as a quick reference of device feature relative to the AM625 family of devices. Refer to the [AM62x Sitara Processors Datasheet](#) for more information on AM625 feature codes, speed grades, and optional features.
- (2) For more details about the WKUP_MMR0_JTAG_USER_ID register and DEVICE_ID bit field, see the device TRM.
- (3) One flash interface, configured as OSPI0 or QSPI0.
- (4) Industrial Communication Subsystem support is not available for this family of devices.

4.1 Related Products

Sitara™ processors are a broad family of scalable processors based on Arm® Cortex®-A cores with flexible accelerators, peripherals, connectivity, and unified software support – perfect for sensors to servers. Sitara processors have the reliability and functional safety support required for use in industrial and automotive applications.

Sitara™ microcontrollers are best-in-class Arm®-based 32-bit microcontrollers (MCUs) offering a scalable portfolio of high-performance and power-efficient devices to help meet your system needs. Bring capabilities such as functional safety, power efficiency, real-time control, advanced networking, analytics, and security to your designs.

AM64x Sitara™ processors target industrial applications such as Factory Automation and Control (FAC), and motor control that utilize Linux application processing cores (Cortex®-A53), real-time processing cores (Cortex®-R5F), and Industrial Communication Subsystems (PRU_ICSSGs) to support protocols such as EtherCAT, Profinet, or EtherNet/IP. AM64x implements one CPSW3G and two PRU_ICSSGs for supporting up to five gigabit Ethernet ports. The device also supports an extensive set of peripherals including a single lane of PCIe Gen2 or USB SuperSpeed Gen1, functional safety options, secure boot, and run-time security.

AM623 Sitara™ processors are an Internet of Things (IoT) and gateway SoC with Arm® Cortex®-A53-based object and gesture recognition. The low-cost AM623 Sitara™ MPU family of application processors are built for Linux® application development. With scalable Arm® Cortex®-A53 performance, embedded features such as dual-display support, and an extensive set of peripherals make the AM623 device well-suited for a broad range of industrial and automotive applications.

AM625 Sitara™ processors are a human-machine-interaction SoC with Arm® Cortex®-A53-and full-HD dual display. The low-cost AM625 Sitara™ MPU family of application processors are built for Linux® application development. With scalable Arm® Cortex®-A53 performance, embedded features such as dual-display support, 3D graphics acceleration, and an extensive set of peripherals make the AM625 device well-suited for a broad range of industrial and automotive applications.

AM62A3 Sitara™ and **AM62A7 Sitara™** processors are an embedded vision SoC that utilizes 1-4x Cortex A-53 ARM Cores and 1 or 2 TOPS analytics hardware accelerator. This scalable, high performance AM62Ax Sitara MPU family of application processors are built for Linux application development. AM62Ax is well suited for a broad range of industrial and automotive applications with embedded features such as h.264/h.265 encode/decode, secure boot, image signal processing and a deep learning accelerator.

Products to complete your design:

- [Ethernet PHYs](#)
- [Power Management / PMICs](#)
- [Clocks and timing](#)
- [Power Switches](#)
- [CAN Transceivers](#)
- [ESD Protection](#)

For more details of how these devices are implemented in a system design and a bill of materials for specific part number recommendations, see the SK-AM62-SIP EVM schematic.

5 Terminal Configuration and Functions

5.1 Pin Diagrams

注

The terms "ball", "pin", and "terminal" are used interchangeably throughout the document. An attempt is made to use "ball" only when referring to the physical package.

図 5-1 shows a top view of the ball locations for the 425-ball grid array (FCCSP BGA) package to quickly locate signal names and ball grid numbering. The pin diagram in this document is intended to be used with *Pin Attributes and Signal Descriptions* section of this document along with the *Pin Attributes* through *Pin Connectivity Requirements* tables found in the [AM62x Sitara Processors Datasheet](#).

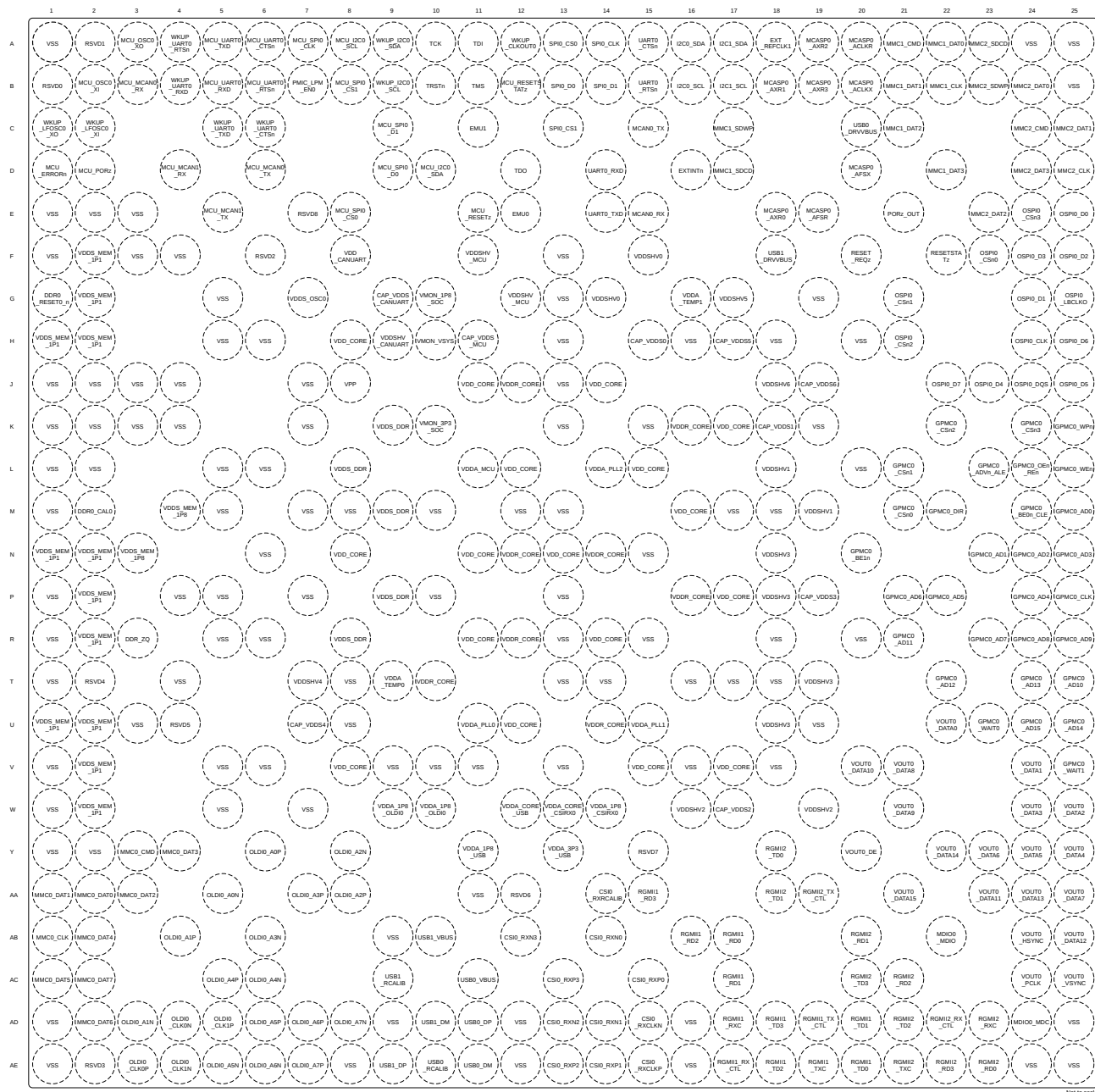


図 5-1. AMK FCCSP BGA Package (Top View)

5.2 Pin Attributes and Signal Descriptions

This section describes the AM625SIP device pins which have different power or signal functions relative to the ALW packaged AM6254 device. The AM6254 DDRSS0 signals in the ALW package that would normally connect to an external SDRAM were connected directly to an integrated LPDDR4 SDRAM in the AM625SIP device, and the pins associated with these signals were reassigned to different power or signal functions. 表 5-1 contains a list of ball numbers that were reassigned to new power or signal functions along with their new ball name and signal description.

表 5-1. Reassigned DDRSS0 Pins on the AMK Package

BALL NUMBER	BALL NAME	Signal Description
M9	VDDS_DDR	DDR PHY IO supply
F2	VDDS_MEM_1P1	SDRAM IO supply (Sources the SDRAM VDD2 and VDDQ power rails)
G2		
H1		
H2		
N1		
N2		
P2		
R2		
U1		
U2		
V2		
W2		
M4	VDDS_MEM_1P8	SDRAM Core supply (Sources the SDRAM VDD1 power rail)
N3		
R3	DDR_ZQ	SDRAM Calibration Reference ⁽¹⁾ (Connects to the SDRAM ZQ Calibration Reference)

表 5-1. Reassigned DDRSS0 Pins on the AMK Package (続き)

BALL NUMBER	BALL NAME	Signal Description
E1	VSS	Ground (Connects to the SDRAM VSS and VSSQ grounds)
E2		
E3		
F1		
F3		
F4		
G5		
H5		
H6		
J1		
J2		
J3		
J4		
K1		
K2		
K3		
K4		
L1		
L2		
L5		
L6		
M1		
M5		
N6		
P1		
P4		
P5		
R1		
R5		
R6		
T1		
T4		
U3		
V1		
V5		
V6		
W1		
W5		
Y1		

- (1) An external 240 Ω ±1% resistor must be connected between this pin and VDDS_MEM_1P1. The maximum power dissipation for the resistor is 8.33 mW.

6 Specifications

6.1 Absolute Maximum Ratings

注

The values defined in the [Absolute Maximum Ratings](#) table were taken from the integrated LPDDR4 SDRAM datasheet. For additional absolute maximum rating details associated with the integrated LPDDR4 SDRAM, see the Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B Datasheet](#)

over operating junction temperature range (unless otherwise noted)^{(1) (2)}

PARAMETER		MIN	MAX	UNIT
VDDS_MEM_1P1	SDRAM IO supply	-0.4	1.5	V
VDDS_MEM_1P8	SDRAM Core supply	-0.4	2.1	V
T _{STG}	Storage temperature	-55	150	°C

- (1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under [セクション 6.3, Recommended Operating Conditions](#). If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) All voltage values are with respect to VSS, unless otherwise noted.

6.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge (ESD)	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1000	V
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±250	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

注

The values defined in the *Recommended Operating Conditions* table were taken from the integrated LPDDR4 SDRAM datasheet. For additional recommended operating condition details associated with the integrated LPDDR4 SDRAM, see the Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B Datasheet](#)

over operating junction temperature range (unless otherwise noted)

SUPPLY NAME	DESCRIPTION		MIN ⁽¹⁾	NOM	MAX ⁽¹⁾	UNIT
VDDS_MEM_1P1 ⁽²⁾	SDRAM IO supply		1.06	1.10	1.17	V
VDDS_MEM_1P8	SDRAM Core supply		1.70	1.80	1.95	V
T _J	Operating junction temperature range	Industrial	-40		95	°C

- (1) The voltage at the device ball must never drop below the MIN voltage or rise above the MAX voltage for any amount of time during normal device operation.
- (2) VDDS_MEM_1P1 must be sourced from the same power source as VDDS_DDR.

6.4 Operating Performance Points

This section describes maximum operating conditions of the device in 表 6-1 and describes each Operating Performance Point (OPP) for processor clocks and device core clocks in 表 6-2.

表 6-1. Device Speed Grades

Speed Grade	VDD_CORE (V) ⁽¹⁾	MAXIMUM OPERATING FREQUENCY (MHz)								MAXIMUM TRANSITION RATE (MT/s)
		A53SS (Cortex-A53x)	GPU	PRU	Main Infra (CBA)	MCUSS (Cortex-M4F)	Device/Power Manager (Cortex-R5F)	SMS Subsystem (Dual Cortex-M4F)	OCSRAM	
T	0.75/0.85	1250	500	333	250	400	400	400	400	1600
	0.85	1400								

(1) Nominal operating voltage, see *Recommended Operating Conditions*.

表 6-2. Device Operating Performance Points

OPP	A53SS ⁽¹⁾	FIXED OPERATING FREQUENCY OPTIONS (MHz) ⁽²⁾							MT/s
		GPU	PRU	MAIN INFRA (CBA)	MCUSS	DEVICE/POWER MANAGER	SMS / SMS CBA	OCSRAM	
High	From ARM0 PLL	500	333, 250, or 200	250	400 or 200	400	400	400	From DDR PLL Bypass ⁽³⁾ to 1600
Low	Bypass to Speed Grade Maximum			N/A		125	133	133	

(1) Default operating frequency, set by software at boot. Supports Dynamic Frequency Scaling after boot.

(2) Fixed operating frequency, set by software at boot.

(3) The DDR PLL output, which sources DDR0_CK0 and DDR0_CK0_n, is typically defined in units of frequency. So the "DDR PLL Bypass" transaction rate is equal to 2x the DDR PLL output frequency when operating in bypass mode.

6.5 Thermal Resistance Characteristics

This section provides the thermal resistance characteristics used on this device.

For reliability and operability concerns, the maximum junction temperature of the device has to be at or below the T_J value identified in [セクション 6.3, Recommended Operating Conditions](#).

6.5.1 Thermal Resistance Characteristics for AMK Package

It is recommended to perform thermal simulations at the system level with the worst case device power consumption.

NO.	PARAMETER	DESCRIPTION	AMK PACKAGE °C/W ^{(1) (2)}	AIR FLOW (m/s) ⁽³⁾
T1	$R\theta_{JC}$	Junction-to-case	5.1	N/A
T2	$R\theta_{JB}$	Junction-to-board	5.2	N/A
T3	$R\theta_{JA}$	Junction-to-free air	18.7	0
T4		Junction-to-moving air	12.6	1
T5			11.5	2
T6			11.0	3
T7	Ψ_{JT}	Junction-to-package top	0.3	0
T8			0.4	1
T9			0.5	2
T10			0.5	3
T11	Ψ_{JB}	Junction-to-board	5.1	0
T12			4.8	1
T13			4.7	2
T14			4.7	3

(1) °C/W = degrees Celsius per watt.

(2) These values are based on a JEDEC defined 2S2P system (with the exception of the Theta JC [$R\theta_{JC}$] value, which is based on a JEDEC defined 1S0P system) and will change based on environment as well as application. For more information, see these EIA/ JEDEC standards:

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(3) m/s = meters per second.

6.6 Timing and Switching Characteristics

6.6.1 Power Supply Requirements

This section describes the power supply requirements to ensure proper device operation.

注

All power balls must be supplied with the voltages specified in the *Recommended Operating Conditions* section.

6.6.1.1 Power Supply Sequencing

This section describes the device power sequence requirements for the VDDS_MEM_1P1 and VDDS_MEM_1P8 power rails relative to the other device power rails, which have been defined in the *Power-Up Sequencing* and *Power-Down Sequencing* sections of the [AM62x Sitara Processors Datasheet](#) .

The VDDS_MEM_1P1 power rail should be sourced from the same power supply that is sourcing VDDS_DDR. Therefore, the VDDS_MEM_1P1 power rail should ramp up and down with the power rails associated with waveform E.

The VDDS_MEM_1P8 power rail should ramp up and down with the power rails associated with waveform C.

For additional power sequence requirement details associated with the integrated LPDDR4 SDRAM, see the Integrated Silicon Solution (ISSI®) [IS43/46LQ16256B Datasheet](#) .

7 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Peripheral- and Interface-Specific Design Information

7.1.1 Integrated LPDDR4 SDRAM Information

The integrated LPDDR4 SDRAM is equivalent to an Integrated Silicon Solution (ISSI®) part number IS43LQ16256. For more information, refer to the [IS43/46LQ16256B Datasheet](#).

8 Device and Documentation Support

8.1 Device Nomenclature

To designate the stages in the product development cycle, TI assigns prefixes to the part numbers of all microprocessors (MPUs) and support tools. Each device has one of three prefixes: X, P, or null (no prefix) (for example, AM6254ATLHJAMK). Texas Instruments recommends two of three possible prefix designators for related support tools: TMDX and TMDS. These prefixes represent evolutionary stages of product development from engineering prototypes (TMDX) through fully qualified production devices and tools (TMDS).

Device development evolutionary flow:

- X** Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.
- P** Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.
- null (BLANK)** Production version of the silicon die that is fully qualified and meets final electrical specifications.

Support tool development evolutionary flow:

- TMDX** Development-support product that has not yet completed Texas Instruments internal qualification testing.
- TMDS** Fully-qualified development-support product.

X and P devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

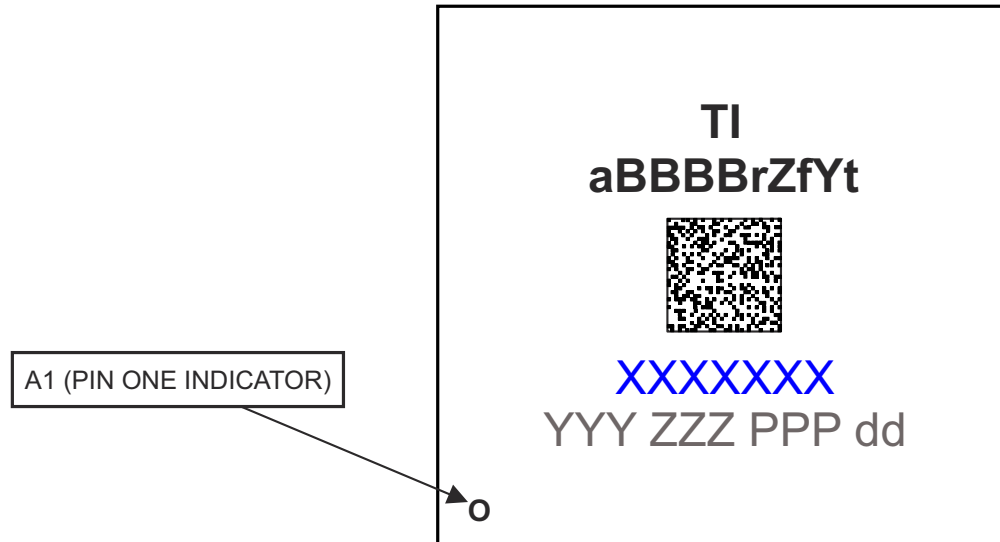
Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

For orderable part numbers of AM625SIP devices in the AMK package type, see the Package Option Addendum at the end of this document, the TI website (ti.com), or contact your TI sales representative.

8.1.1 Standard Package Symbolization


注

Some devices may have a cosmetic circular marking visible on the top of the device package which results from the production test process. In addition, some devices may also show a color variation in the package substrate which results from the substrate manufacturer. These differences are cosmetic only with no reliability impact.



☒ 8-1. Printed Device Reference

8.1.2 Device Naming Convention

FIELD PARAMETER	FIELD DESCRIPTION	VALUE	DESCRIPTION
a	Device evolution stage	X	Prototype
		P	Preproduction (production test flow, no reliability data)
		BLANK ⁽¹⁾	Production
–	Part Number Prefix	AM	Not symbolized
BBBB	Base production part number	6254	See 表 4-1, Device Comparison
r	Device revision	A	SR1.0
Z	Device Speed Grade	T	See 表 6-1, Device Speed Grades
f	Features (see 表 4-1)	L	Feature code "C" AM6254 device with Integrated 512MB LPDDR4 SDRAM
Y	Security / Functional Safety	G	Non-secure / No Functional Safety
		1 to 9	Secure with Dummy Key / No Functional Safety
		H to R	Secure with Production Key / No Functional Safety
t	Temperature ⁽²⁾	J	–40°C to 95°C - Industrial (see セクション 6.3, Recommended Operation Conditions)
	2D Barcode	Varies	Optional 2D barcode, provides additional device information
		BLANK	
xxxxxx	Lot Trace Code (LTC)		
YYY	Production Code, For TI use only		
ZZZ	Production Code, For TI use only		
PPP	Package Designator	AMK	FCCSP BGA (425-pin)
dd	Pre-Production Code, For TI use only		
•	Pin one designator		

- (1) BLANK in the symbol or part number is collapsed so there are no gaps between characters.
(2) Applies to device max junction temperature.

8.2 Tools and Software

The following Development Tools support development for TI's Embedded Processing platforms:

Development Tools

Code Composer Studio™ Integrated Development Environment Code Composer Studio (CCS) Integrated Development Environment (IDE) is a development environment that supports TI's Microcontroller and Embedded Processors portfolio. Code Composer Studio comprises a suite of tools used to develop and debug embedded applications. The tool includes an optimizing C/C++ compiler, source code editor, project build environment, debugger, profiler, and many other features. The intuitive IDE provides a single user interface taking you through each step of the application development flow. Familiar tools and interfaces allow users to get started faster than ever before. Code Composer Studio combines the advantages of the Eclipse software framework with advanced embedded debug capabilities from TI resulting in a compelling feature-rich development environment for embedded developers.

SysConfig-PinMux Tool The SysConfig-PinMux Tool is a software tool which provides a Graphical User Interface for configuring pin multiplexing settings, resolving conflicts and specifying I/O cell characteristics for TI Embedded Processor devices. The tool can be used to automatically calculate the optimal pinmux configuration to satisfy entered system requirements. The tool generates output C header/code files that can be imported into software development kits (SDKs) and used to configure customer's software to meet custom hardware requirements. The **Cloud-based SysConfig-PinMux Tool** is also available.

For a complete listing of development-support tools for the processor platform, visit the Texas Instruments website at ti.com. For information on pricing and availability, contact the nearest TI field sales office or authorized distributor.

8.3 Documentation Support

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

The following documents describe the AM625SIP devices.

Technical Reference Manual

AM62x Sitara Processors Technical Reference Manual : Details the integration, the environment, the functional description, and the programming models for each peripheral and subsystem in the AM625SIP family of devices.

Errata

AM62x Sitara Processors Silicon Errata : Describes the known exceptions to the functional specifications for the device.

8.4 Support Resources

TI E2E™ support forums are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

8.5 Trademarks

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of MIPI Alliance.

セキュア デジタル® and SD® are registered trademarks of SD Card Association.

ISSI® is a registered trademark of Integrated Silicon Solution, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

8.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

Changes from November 16, 2023 to June 16, 2024 (from Revision * (NOVEMBER 2023) to Revision A (JUNE 2024))

Page

- | | Page |
|--|------|
| • グローバル:ドキュメントの製品ステータスを「事前情報 (AI)」から「量産データ (PD)」に変更..... | 1 |

10 Mechanical, Packaging, and Orderable Information

10.1 Packaging Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AM6254ATLHJAMKR	ACTIVE	FCCSP	AMK	425	1000	RoHS & Green	Call TI	Level-3-260C-168 HR	-40 to 95	6254ATLHJ 131 SIP	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6254ATLHJAMKR	FCCSP	AMK	425	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

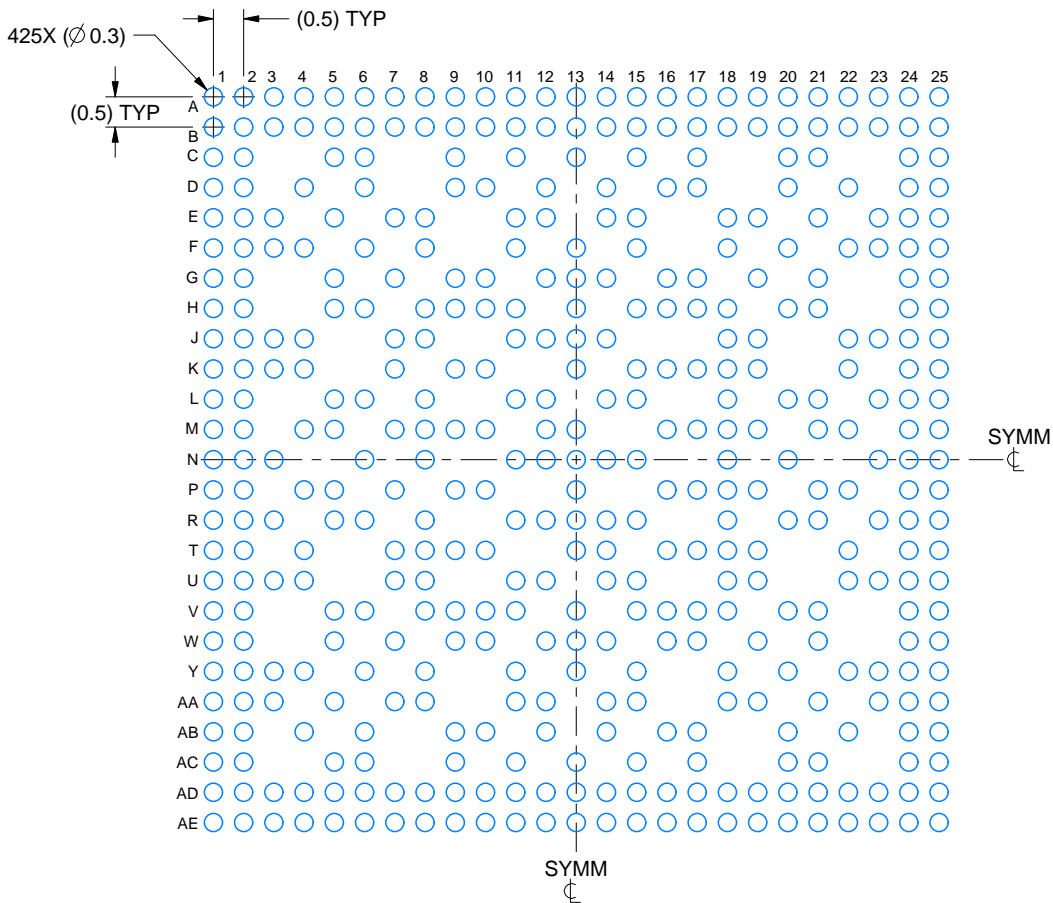
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6254ATLHJAMKR	FCCSP	AMK	425	1000	336.6	336.6	41.3

EXAMPLE BOARD LAYOUT

AMK0425A

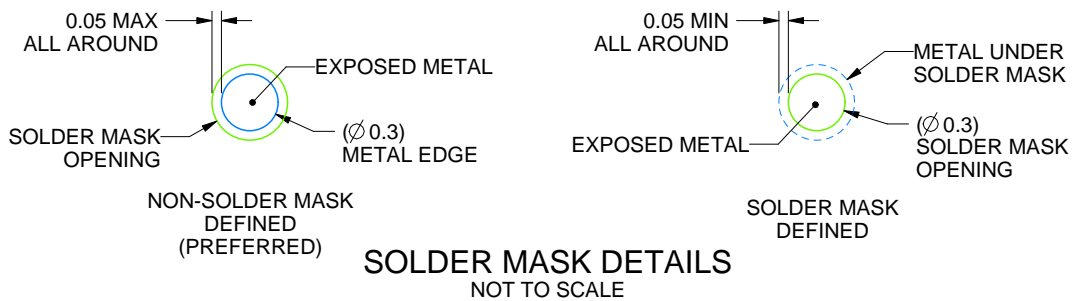
FCBGA - 1.154 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 8X



4228989/A 08/2022

NOTES: (continued)

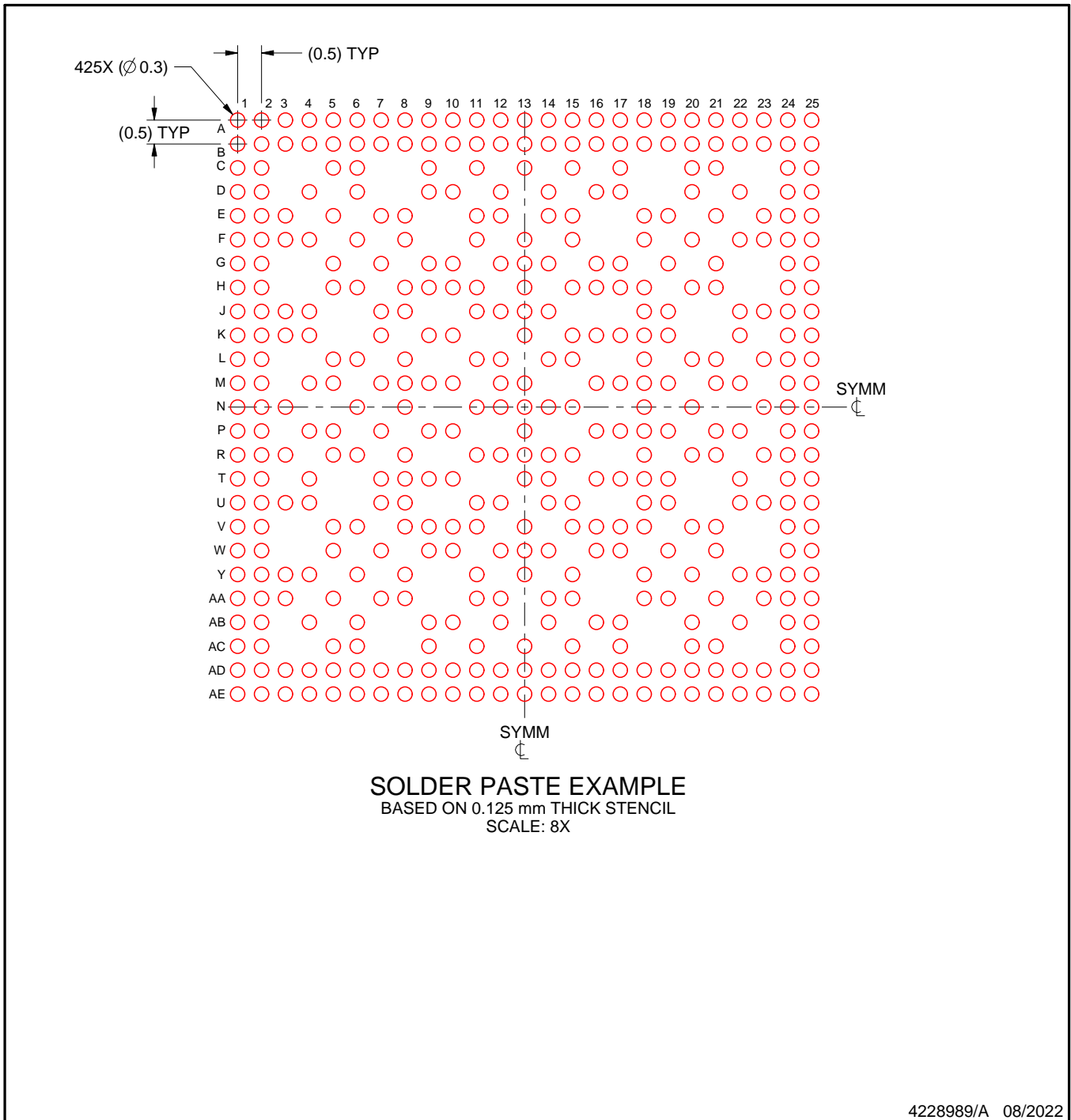
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

AMK0425A

FCBGA - 1.154 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated