

ADC78H89

ADC78H89 7-Channel, 500 KSPS, 12-Bit A/D Converter



Literature Number: JAJSA43

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2005 年 3 月

ADC78H89

7 チャンネル、500kSPS、12 ビット A/D コンバータ

概要

ADC78H89 は入力 7 チャンネルの 12 ビット CMOS A/D コンバータで、低消費電力で動作し変換スループットは 500kSPS です。ADC78H89 はトラック / ホールド回路を内蔵した逐次比較レジスタ・アーキテクチャを採用しています。AIN1 から AIN7 まで 7 チャンネルの入力を備えています。

シリアル・データ出力はストレート・バイナリ形式で、SPI™、QSPI™、MICROWIRE™ など、広く使われている標準的な DSP シリアル・インタフェースと互換性があります。

ADC78H89 は、アナログ系とデジタル系に個別の電源電圧を与えて動作できます。アナログ電源 (AV_{DD}) の電圧範囲は + 2.7V から + 5.25V まで、デジタル電源 (DV_{DD}) の電圧範囲は + 2.7V から AV_{DD} までです。標準的な消費電力は、+ 3V 動作時で 1.5mW、+ 5V 動作時で 8.3mW です。消費電力を低減できるパワーダウン機能を備えており、+ 3V 動作時で 0.3 μ W、+ 5V 動作時で 0.5 μ W となります。ADC78H89 は 16 ピンの TSSOP パッケージで提供されます。産業用温度範囲である - 40 ~ + 85 の動作が保証されています。

特長

入力 7 チャンネル
 可変パワー・マネージメント
 独立したアナログ電源とデジタル電源
 SPI™/QSPI™/MICROWIRE™/DSP 互換
 シリアル・インタフェース
 16 ピン TSSOP パッケージ

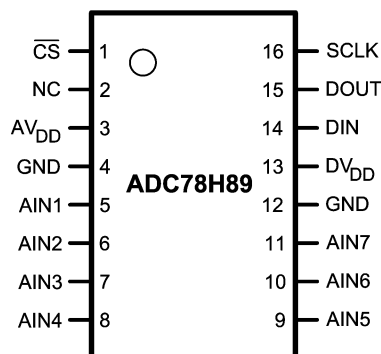
主な仕様

変換レート	500 kSPS
DNL	± 1 LSB (max)
INL	± 1 LSB (max)
消費電力	
3V 電源	1.5 mW (代表値)
5V 電源	8.3 mW (代表値)

アプリケーション

自動車のナビゲーション・システム
 ポータブル・システム
 医療機器
 移動通信
 計測器や制御システム

ピン配置図



製品情報

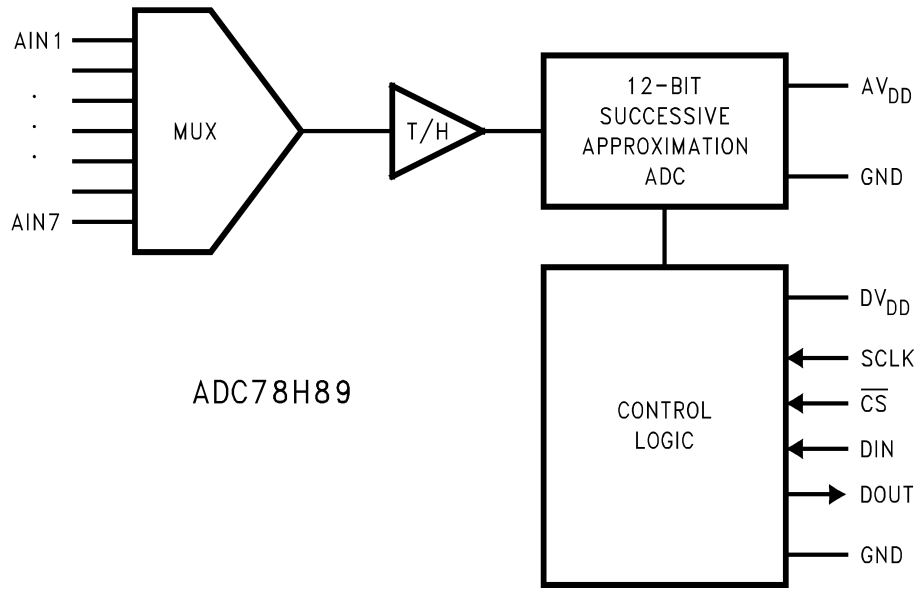
Order Code	Temperature Range	Description
ADC78H89CIMT	-40°C to +85°C	16-Lead TSSOP Package
ADC78H89CIMTX	-40°C to +85°C	16-Lead TSSOP Package, Tape & Reel
ADC78H89EVAL		Evaluation Board

TRI-STATE® はナショナル セミコンダクター社の登録商標です。

MICROWIRE™ はナショナル セミコンダクター社の商標です。

QSPI™ および SPI™ はモトローラ (株) の商標です。

ブロック図



端子説明および等価回路

端子番号	シンボル	等価回路	説明
アナログ I/O			
5 - 11	AIN1 to AIN7		アナログ入力です。信号の電圧範囲は 0V から AV_{DD} です。
2	NC		内部には接続されていないので、開放のまま使用するかグラウンドに接続してください。
デジタル I/O			
16	SCLK		デジタル・クロック入力です。クロック周波数範囲は 50kHz から 8MHz で、記載の性能は 8MHz で保証されています。このクロックは変換処理と読み出し処理を直接制御します。
15	DOUT		デジタル・データ出力です。出力サンプルは、SCLK の立ち下がりエッジに同期して出力されます。
14	DIN		デジタル・データ入力です。SCLK の立ち上がりエッジで本ピンからデータが取り込まれ ADC78H89 内部の制御レジスタへ与えられます。
1	\overline{CS}		チップ・セレクトです。 \overline{CS} ピンの立ち下がりエッジで変換処理が開始されます。CS が LOW の間は連続して変換が行われます。
電源			
3	AV_{DD}		正電圧のアナログ電源ピンです。+ 2.7V ~ + 5.25V の安定した電源に接続し、ピンから 1cm 以内に 0.1 μ F のセラミック・モノリシック・コンデンサと 1 μ F のタンタル・コンデンサを設けグラウンドに対してバイパスを行ってください。
13	DV_{DD}		正電圧のデジタル電源ピンです。+ 2.7V から AV_{DD} までの電源を接続し、ピンから 1cm 以内に 0.1 μ F のセラミック・モノリシック・コンデンサを設けグラウンドに対してバイパスを行ってください。
4, 12	GND		アナログ電源とデジタル電源のグラウンド・リターンです。両ピンは内部的には同一のため、必ず等しい電位となるように接続してください。万が一、ピン間に電位差が存在すると、デバイスを通して過大な電流が流れます。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧 AV_{DD}	- 0.3V ~ 6.5V
デジタル電源電圧 DV_{DD}	- 0.3V ~ $AV_{DD} + 0.3V$ 6.5V (最大値)
任意のピンの対 GND 電圧	- 0.3V ~ $AV_{DD} + 0.3V$
入力電流 (Note 3)	± 10 mA
パッケージの入力電流 (Note 3)	± 20mA
消費電力 ($T_A = 25$)	Note 4 参照
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
ハンダ付け温度 (赤外線)	
10 秒 (Note 6)	260
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40	T_A	+ 85
AV_{DD} 電源電圧	+ 2.7V ~ + 5.25V		
DV_{DD} 電源電圧	+ 2.7V ~ AV_{DD}		
デジタル入力ピン電圧範囲	- 0.3V ~ AV_{DD}		
クロック周波数	50kHz ~ 8MHz		
アナログ入力電圧	0V ~ AV_{DD}		

パッケージ熱抵抗

Package	θ_{JA}
16-lead TSSOP on 4-layer, 2 oz. PCB	96°C / W

ADC78H89 コンバータの電気的特性 (Note 8)

特記のない限り、以下の仕様は $AV_{DD} = DV_{DD} = +2.7V \sim +5.25V$ 、 $f_{SCLK} = 8MHz$ 、 $f_{SAMPLE} = 500kSPS$ に適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		12	Bits
INL	Integral Non-Linearity	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±1	LSB (max)
DNL	Differential Non-Linearity	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±1	LSB (max)
OE	Offset Error	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±2	LSB (max)
OEM	Offset Error Match	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±2	LSB (max)
GE	Gain Error	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±3	LSB (max)
GEM	Gain Error Match	$AV_{DD} = +5.0V$, $DV_{DD} = +3.3V$		±3	LSB (max)
DYNAMIC CONVERTER CHARACTERISTICS					
SINAD	Signal-to-Noise Plus Distortion Ratio	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz, -0.02 dBFS	72.6		dB
SNR	Signal-to-Noise Ratio	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz, -0.02 dBFS	72.8		dB
THD	Total Harmonic Distortion	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz, -0.02 dBFS	-86		dB
SFDR	Spurious-Free Dynamic Range	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz, -0.02 dBFS	88		dB
ENOB	Effective Number of Bits	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz, -0.02 dBFS	11.8		bits
	Channel-to-Channel Crosstalk	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_{IN} = 40.2$ kHz	-82		dB
IMD	Intermodulation Distortion, Second Order Terms	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_a = 40.161$ kHz, $f_b = 41.015$ kHz	-93		dB
	Intermodulation Distortion, Third Order Terms	$AV_{DD} = +5.0V$, $DV_{DD} = +3.0V$, $f_a = 40.161$ kHz, $f_b = 41.015$ kHz	-90		dB
FPBW	-3 dB Full Power Bandwidth	$AV_{DD} = +5V$	11		MHz
		$AV_{DD} = +3V$	8		MHz

ADC78H89 コンバータの電気的特性 (Note 8)(つき)

特記のない限り、以下の仕様は $AV_{DD} = DV_{DD} = +2.7V \sim +5.25V$ 、 $f_{SCLK} = 8MHz$ 、 $f_{SAMPLE} = 500kSPS$ に適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25^\circ C$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
ANALOG INPUT CHARACTERISTICS					
V_{IN}	Input Range		0 to AV_{DD}		V
I_{DCL}	DC Leakage Current			± 1	μA (max)
C_{INA}	Input Capacitance	In Track Mode	33		pF
		In Hold Mode	3		pF
DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Input High Voltage	$DV_{DD} = +4.75V$ to $+5.25V$		2.4	V (min)
		$DV_{DD} = +2.7V$ to $+3.6V$		2.1	V (min)
V_{IL}	Input Low Voltage	$DV_{DD} = +2.7V$ to $+5.25V$		0.8	V (max)
I_{IN}	Input Current	$V_{IN} = 0V$ or DV_{DD}	± 0.01	1	μA (max)
C_{IND}	Input Capacitance		2	4	pF (max)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$, $DV_{DD} = +2.7V$ to $+5.25V$		$DV_{DD} - 0.5$	V (min)
V_{OL}	Output Low Voltage	$I_{SINK} = 200 \mu A$		0.4	V (max)
I_{OZH} , I_{OZL}	TRI-STATE Leakage Current			± 1	μA (max)
C_{OUT}	TRI-STATE Output Capacitance		2	4	pF (max)
	Output Coding		Straight (Natural) Binary		
POWER SUPPLY CHARACTERISTICS ($C_L = 10$ pF)					
AV_{DD} , DV_{DD}	Analog and Digital Supply Voltages	$AV_{DD} \geq DV_{DD}$		2.7	V (min)
				5.25	V (max)
I_{DD}	Total Supply Current, Normal Mode (Operational, \overline{CS} low)	$AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SAMPLE} = 500$ KSPS, $f_{IN} = 40$ kHz	1.65	2.3	mA (max)
		$AV_{DD} = DV_{DD} = +2.7V$ to $+3.6V$, $f_{SAMPLE} = 500$ KSPS, $f_{IN} = 40$ kHz	0.5	2.3	mA (max)
	Total Supply Current, Shutdown (\overline{CS} high)	$AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SAMPLE} = 0$ KSPS	0.1		μA
		$AV_{DD} = DV_{DD} = +2.7V$ to $+3.6V$, $f_{SAMPLE} = 0$ KSPS	0.1		μA
P_D	Power Consumption, Normal Mode (Operational, \overline{CS} low)	$AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$	8.3	12	mW (max)
		$AV_{DD} = DV_{DD} = +2.7V$ to $+3.6V$	1.5	8.3	mW (max)
	Power Consumption, Shutdown (\overline{CS} high)	$AV_{DD} = DV_{DD} = +4.75V$ to $+5.25V$	0.5		μW
		$AV_{DD} = DV_{DD} = +2.7V$ to $+3.6V$	0.3		μW
AC ELECTRICAL CHARACTERISTICS					
f_{SCLK}	Maximum Clock Frequency			8	MHz (max)
	Minimum Clock Frequency		50		kHz
f_s	Maximum Sample Rate			500	KSPS (min)
t_{CONV}	Conversion Time		13	13	SCLK cycles
DC	Duty Cycle		50	40	% (min)
				60	% (max)
t_{ACQ}	Track/Hold Acquisition Time	Full-Scale Step Input		3	SCLK cycles
	Throughput Time	Conversion Time + Acquisition Time		16	SCLK cycles
f_{RATE}	Throughput Rate			500	KSPS (min)
t_{AD}	Aperture Delay		4		ns

ADC78H89 タイミング仕様

以下の仕様は $V_{DD} = DV_{DD} = +2.7V \sim +5.25V$ 、 $f_{SCLK} = 8MHz$ 、 $C_L = 50pF$ に適用されます。太字体のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
t_{1a}	SCLK High to \overline{CS} Fall Setup Time	(Note 10)		10	ns (min)
t_{1b}	SCLK Low to \overline{CS} Fall Hold Time	(Note 10)		10	ns (min)
t_2	Delay from \overline{CS} Until DOUT TRI-STATE® Disabled			30	ns (max)
t_3	Data Access Time after SCLK Falling Edge			30	ns (max)
t_4	Data Setup Time Prior to SCLK Rising Edge			10	ns (max)
t_5	Data Valid SCLK Hold Time			10	ns (max)
t_6	SCLK High Pulse Width			0.4 x t_{SCLK}	ns (min)
t_7	SCLK Low Pulse Width			0.4 x t_{SCLK}	ns (min)
t_8	\overline{CS} Rising Edge to DOUT High-Impedance			20	ns (max)

Note 1: 「絶対最大定格」は、それらを超えると、デバイスの破壊が発生する可能性があるリミット値を示します。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、試験条件については「電気的特性」を参照ください。保証された仕様は「電気的特性」に記載されている試験条件においてのみ適用されます。記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = 0V$ を基準にして測定されています。

Note 3: いずれかの端子で入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$ または V_D)、その端子の入力電流を $10mA$ 以下に制限しなければなりません。最大パッケージ入力定格電流 ($50mA$) により、電源電圧を超えて $10mA$ の電流を流せる端子数は 5 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{jmax} (最大接合部温度: このデバイスの場合、 T_{jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D,MAX} = (T_{jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、ADC78H89 が何らかの異常な状態で動作しているときのみです (例えば、入力端子または出力端子を電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 使用した試験回路は人体モデルに基づき、 $100pF$ のコンデンサから直列抵抗 $1.5k$ を通して、各端子に放電させます。マシン・モデルの場合は、 $220pF$ のコンデンサから直接各端子に放電させます。

Note 6: その他の表面実装法については、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」、またはナショナル セミコンダクター社の最新版データブックの「表面実装」の項を参照ください。

Note 7: テスト・リミット値はナショナル セミコンダクター社の平均出荷品質レベル AOQL に基づき保証されます。

Note 8: データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

Note 9: 電源ピンを除きます。

Note 10: セットアップ時間 t_{1a} とホールド時間 t_{1b} の規定はありますが、 \overline{CS} を有効な状態にするときのクロック・レベルは任意 (HIGH または LOW) です。

タイミング図

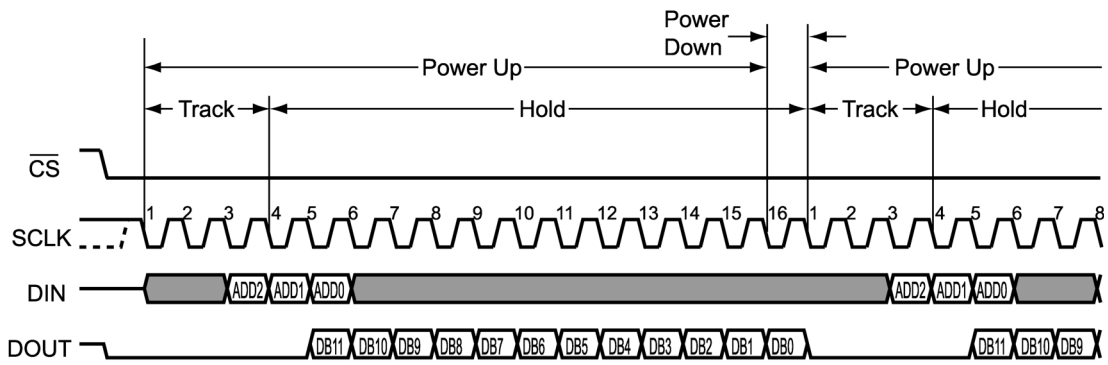
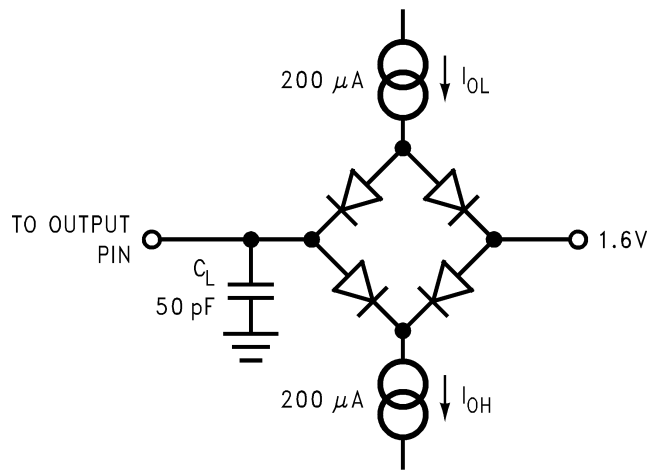
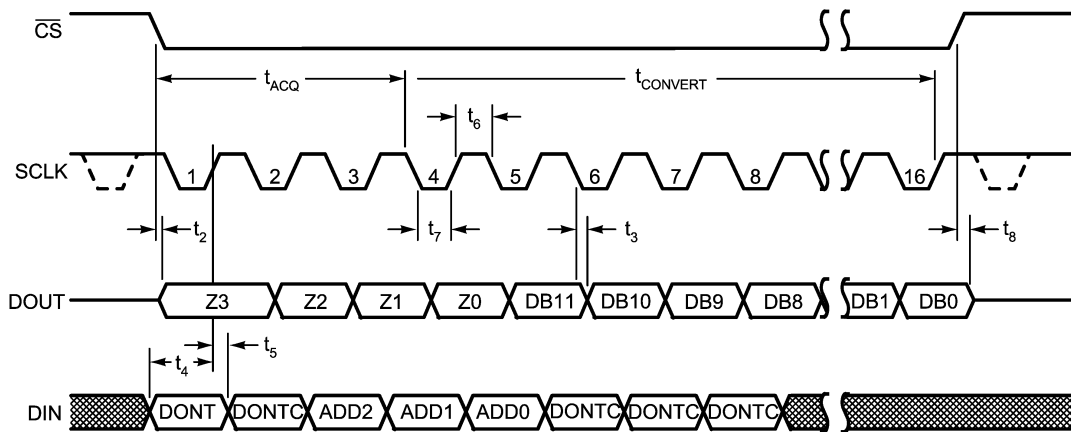


FIGURE 1. ADC78H89 Operational Timing Diagram

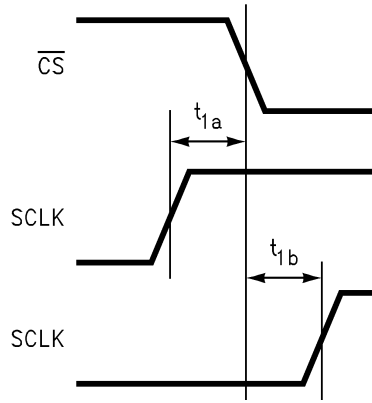


Timing Test Circuit



ADC78H89 Serial Timing Diagram

タイミング図(つぎ)



SCLK and \overline{CS} Timing Parameters

用語の定義

取り込み時間 (**ACQUISITION TIME**) とは入力電圧の取り込みに必要な時間です。すなわち、入力電圧でホールド・コンデンサを充電するために必要な時間です。

アパーチャ・ディレイ (**APERTURE DELAY**) は、変換処理開始後 4 番目の SCLK 立ち下がりエッジから、変換を行なうために入力信号がホールドされるまでの時間です。

変換時間 (**CONVERSION TIME**) とは、入力電圧を取り込んだあと、ADC が入力電圧をデジタル・ワードに変換するために必要な時間です。

クロストーク (**CROSSTALK**) とは、あるチャネルから他のチャネルに対するエネルギーのカップリング、または、あるアナログ入力から測定アナログ入力に現れる信号エネルギーの大きさです。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY : DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (**DUTY CYCLE**) は、繰り返しデジタル波形での、周期に対する HIGH の時間の比です。このデータシートでは SCLK に適用されます。

有効ビット (**EFFECTIVE NUMBER OF BITS : ENOB**) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ理想的な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン・エラー (**GAIN ERROR**) は、理想的な値 ($V_{\text{REF}} - 1.5\text{LSB}$) に対する、オフセット・エラー調整後の、(111...110) から (111...111) に移る最終コード遷移の偏差です。

積分非直線性 (**INTEGRAL NON-LINEARITY : INL**) は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のパワーの合計に対する、両者の 2 次高調波のパワー (または両者の 2 次高調波と 3 次高調波すべてのパワー) の比として定義されています。IMD は通常 dBFS で表されます。

ミッシング・コード (**MISSING CODES**) は ADC 出力に現れることのないコードです。ADC78H89 は、ミッシング・コードが生じないことが保証されています。

オフセット・エラー (**OFFSET ERROR**) は、理想的な値 ($\text{GND} + 0.5\text{LSB}$) に対する、(000...000) から (000...001) に移る最初のコード遷移の偏差です。

信号 / ノイズ比 (**SIGNAL TO NOISE RATIO : SNR**) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として dB で表されます。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO : (S/N + D) or SINAD**) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE : SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、出力に現れる 2 次から 6 次までの高調波レベルの二乗和平方根と基本周波数レベルとの比で、dB または dBc で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

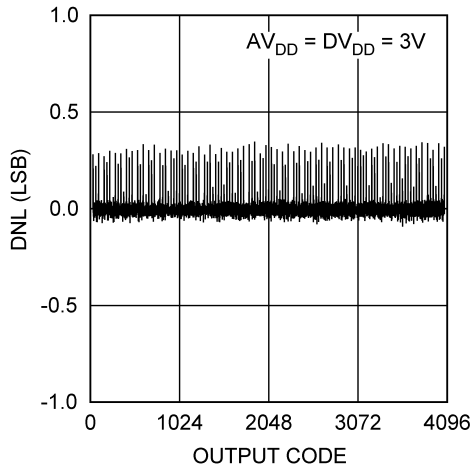
A_{f1} は出力に現れる入力周波数のパワーの実効値 (RMS 値)、 A_{f2} から A_{f6} は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (**THROUGHPUT TIME**) とは、ある正常変換の開始から次の正常変換の開始までに必要な最小時間間隔です。取り込み時間と変換時間を加えた値に相当します。ADC78H89 の場合は 16SCLK 周期となります。

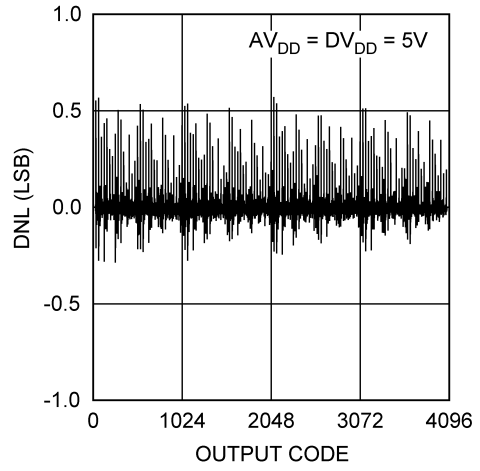
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。

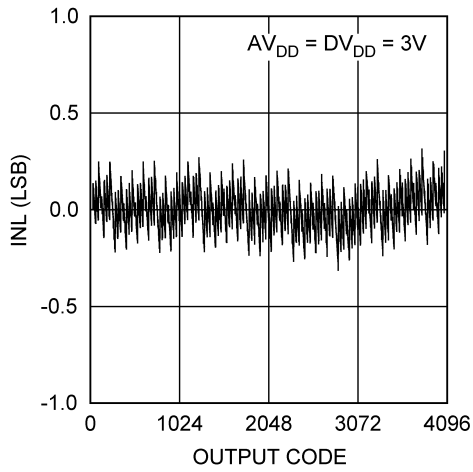
DNL



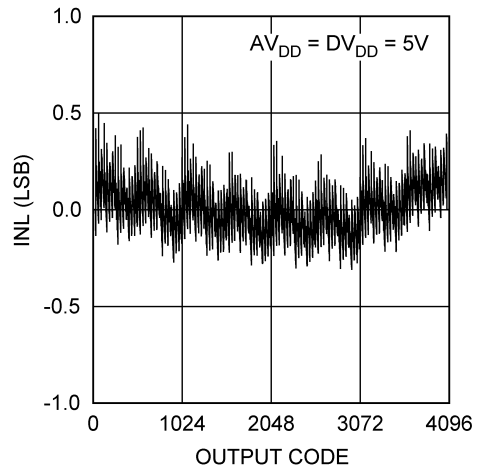
DNL



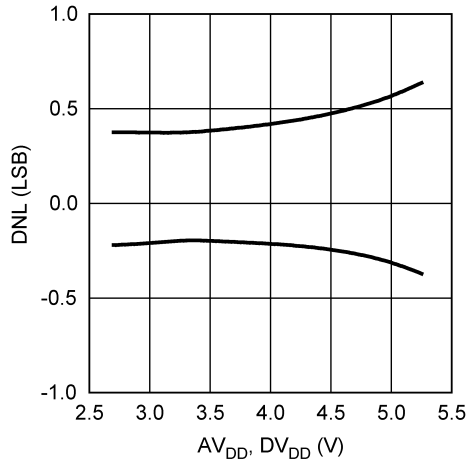
INL



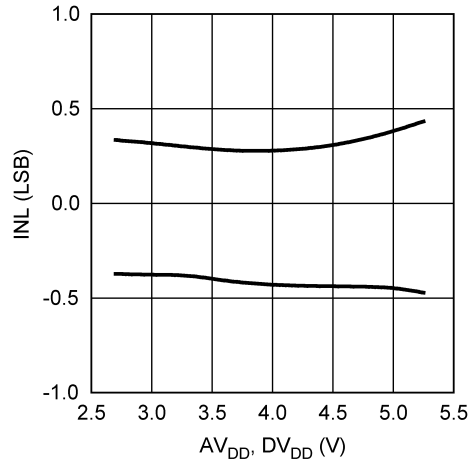
INL



DNL vs. Supply



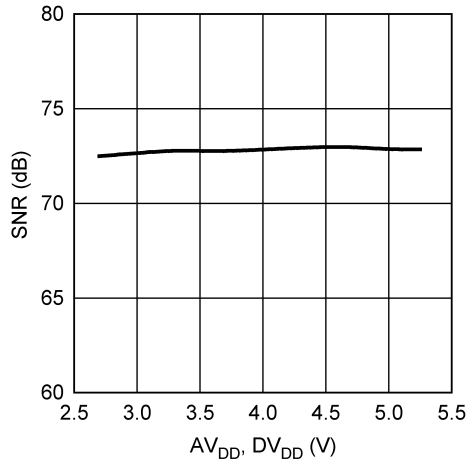
INL vs. Supply



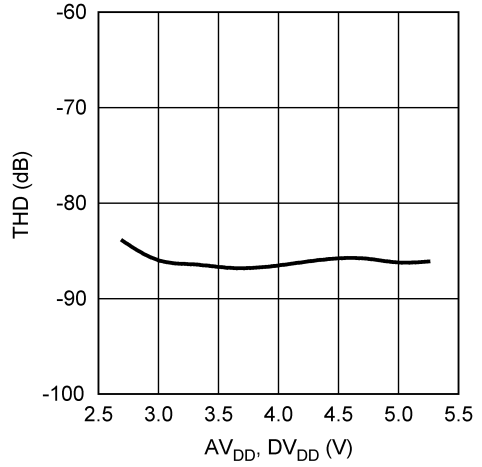
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。

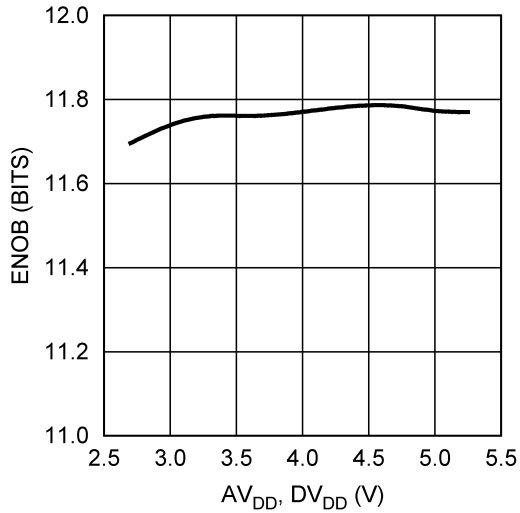
SNR vs. Supply



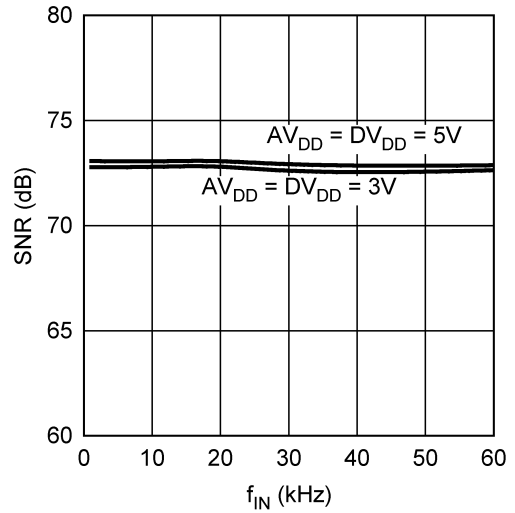
THD vs. Supply



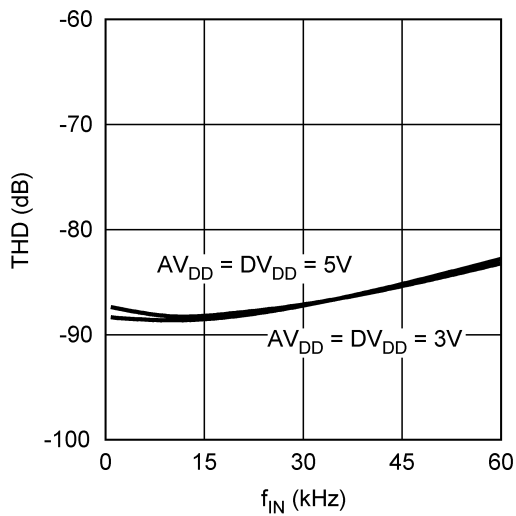
ENOB vs. Supply



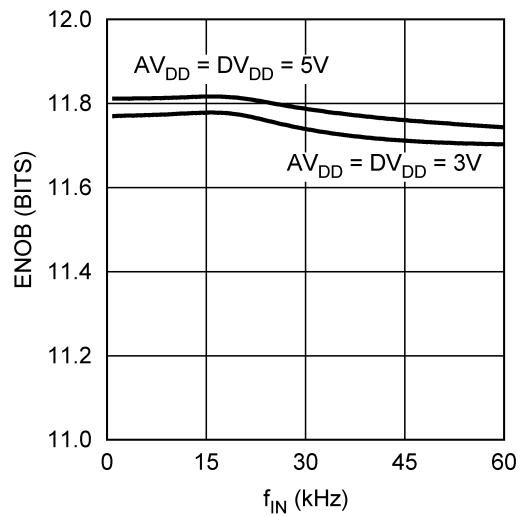
SNR vs. Input Frequency



THD vs. Input Frequency

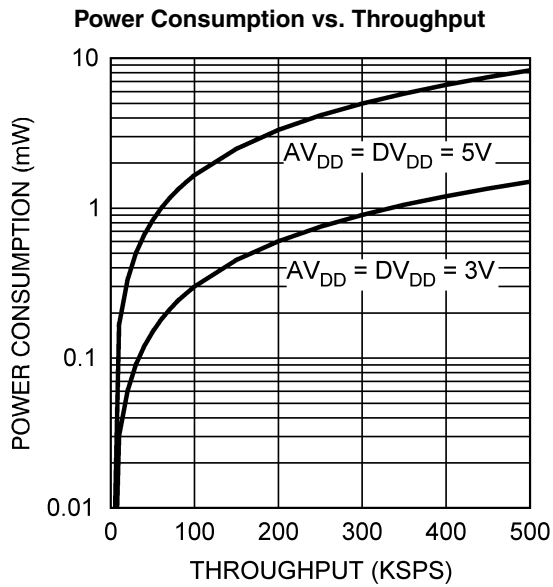
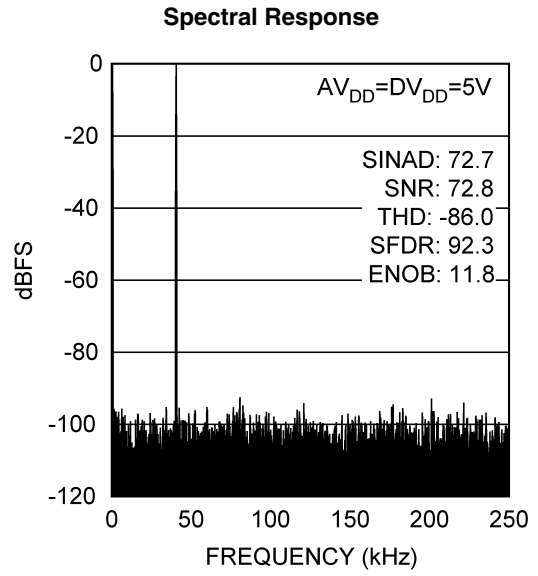
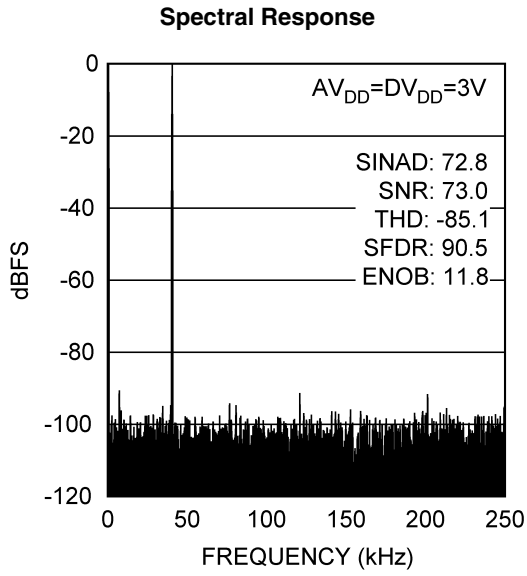


ENOB vs. Input Frequency



代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。



アプリケーション情報

1.0 ADC78H89を使用する

ADC78H89の動作とシリアル・インタフェースのタイミング図を「タイミング図」にそれぞれ示します。 \overline{CS} はチップ・セレクトを表し、変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。DOUT はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリーム、MSB ファーストとして出力されます。シリアル・データ・ピン DIN のデータは ADC78H89 の制御レジスタに書き込まれます。

変換処理とシリアル・データ・タイミングは SCLK によって制御されます。1 回の変換処理には 16 SCLK サイクルが必要です。 \overline{CS} を LOW にすると変換処理が始まります。複数の変換処理は、 \overline{CS} の立ち下がりエッジから立ち上がりエッジまでの単一のシリアル・フレームとして連続して実行されます。 \overline{CS} を LOW に保持している間は ADC78H89 は変換を継続します。

\overline{CS} を LOW にすると、変換処理が始まると同時に制御レジスタに書き込みが行われます。制御レジスタに書き込まれた新しい設定値は次の変換処理に作用します。すなわち、入力チャネル選択の設定と対応する出力との間には 1 サンプル分の遅延が存在します。

\overline{CS} を LOW にすると ADC78H89 の基本動作である変換処理とデータ出力が始まります。この時点で DOUT ピンは高インピーダンス状態から復帰します。 \overline{CS} が LOW になったあと最初の SCLK の立ち下がりエッジでコンバータはトラック・モードに移り、入力信号の取り込みを開始します。 \overline{CS} が LOW になった時点から数えて、入力信号の取り込み処理に必要な時間は 3 SCLK です。この取り込み時間は t_{ACQ} として規定されています。SCLK の 4 番目の立ち下がりエッジでコンバータはトラック・モードからホールド・モードへと移り、アナログ入力信号はこの時点でサンプルされます (Figure 1 参照)。

\overline{CS} が HIGH となっていて変換が行われていないときは、SCLK を HIGH または LOW に保持して ADC78H89 をアイドル状態にできます。クロックがアイドルか否かにかかわらず、 \overline{CS} が HIGH の間は、SCLK は内部でマスクされます。SCLK が LOW のときに \overline{CS} を HIGH にすると、その後の \overline{CS} の立ち下がりエッジで SCLK の内部信号に立ち下がりエッジが生成され、ADC はトラック・モードに移行します。この挙動は SCLK に最初の立ち下がりエッジが与えられる場合と同じです。SCLK が HIGH のときに \overline{CS} を HIGH にすると、ADC は、 \overline{CS} の立ち下がりエッジ後に与えられる SCLK の最初の立ち下がりエッジでトラック・モードに移行します (Figure 1 参照)。どのような場合でも取り込み処理や変換処理の完了には合計で 16 個の立ち下がりエッジが必要です。

ADC78H89 からの読み出し完了には 16 SCLK サイクルを必要とします。サンプルの各ビット (先頭の 4 つのゼロを含む) は SCLK の立ち下がりエッジで出力され、次の立ち上がりエッジの時点で DOUT 上のデータは有効となります。ADC78H89 は 4 ビットの先頭ゼロを DOUT から出力したあと、最上位ビットから順に 12 ビットのデータを出力します。最終データビット DB0 は 16 番目の SCLK の立ち下がりエッジで出力され、次の立ち上がりエッジの時点で DOUT 上のデータは有効となります。 \overline{CS} が LOW になった直後の SCLK エッジは、アプリケーションによって立ち上がりエッジになる場合と立ち下がりエッジになる場合があります。

変換の実行とともに制御情報を制御レジスタに書き込まなければなりません。各変換の最初の 8 個の SCLK 立ち上がりエッジで制御レジスタへの書き込みが行われます。ADC78H89 を動作させるには、DIN に適切なデータを与えて制御レジスタを設定する必要があります。現在の変換処理で制御レジスタに書き込んだデータによって、次の変換処理でサンプルされる入力チャネルが決まります。

制御レジスタへの書き込みは \overline{CS} が LOW になったあとの SCLK の立ち上がりエッジで行われ、DIN データは最上位ビットから順に書き込まれます。DIN ピンからのデータ書き込みは 16 SCLK を必要とする変換データの読み出しと並行して行われます。制御レジスタには前半の 8 SCLK の立ち上がりエッジで書き込まれ、後半の 8 SCLK の立ち上がりエッジの DIN は無視されます。Table 1 はビットの機能で、MSB は書き込みデータの最初のビットを示します。電源立ち上げ時のデフォルト値は、制御レジスタの全ビットゼロです。

アプリケーション情報 (つづき)

TABLE 1. Control Register Bits

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DONTC	DONTC	ADD2	ADD1	ADD0	DONTC	DONTC	DONTC

Control Register Bit Descriptions

ビット	シンボル	説明
7, 6, 2, 1, 0	DONTC	Don't care です。このビットの値はデバイスの動作には影響を与えません。
5	ADD2	この 3 ビットで、次の \overline{CS} の立ち下がりエッジでサンプルおよび変換処理を行う入力チャンネルを指定します。ビット・パターンと選択されるチャンネルの対応を Table 2 に示します。
4	ADD1	
3	ADD0	

TABLE 2. Input Channel Selection

ADD2	ADD1	ADD0	Input Channel
0	0	0	AIN1 (Default)
0	0	1	AIN2
0	1	0	AIN3
0	1	1	AIN4
1	0	0	AIN5
1	0	1	AIN6
1	1	0	AIN7
1	1	1	GND

2.0 ADC78H89 の動作

ADC78H89 は、電荷再分配 D/A コンバータを採用した逐次比較型の A/D コンバータです。トラック・モードとホールド・モードでの ADC78H89 の簡略ブロック図を Figure 2、3 にそれぞれ示します。Figure 2 では ADC78H89 はトラック・モードになっています。スイッチ SW1 によってマルチプレクサで選択された 7 チャンネルのう

ちの 1 つのチャンネルがサンプリング・コンデンサに接続され、SW2 によってコンパレータ入力に平衡に保たれます。ADC78H89 は、 \overline{CS} が LOW になったあと 3 SCLK サイクルにわたってこの状態を保ちます。

ADC78H89 では、パワーアップ後の待ち動作やダミー変換サイクルは必要ありません。デバイスはパワーアップ直後の最初の変換から、完全な分解能でアナログ入力を取り込みます。電源投入後の最初の変換は、チャンネル 1 (AIN1) で行われます。

Figure 3 では ADC78H89 はホールド・モードにあります。サンプリング・コンデンサは入力電圧 (正確には $AV_{DD}/2$ と V_{IN} との電位差) を保持したまま SW1 によってグラウンドに接続され、またスイッチ SW2 はコンパレータを非平衡状態にします。制御回路はコンパレータが平衡状態になるまで、サンプリング・コンデンサに一定量の電荷 (電位) を加算または減算するように電荷再分配型 DAC を制御します。コンパレータが平衡になった時点で DAC に与えられているデジタル・ワードがアナログ入力電圧のデジタル値を表します。ADC78H89 は、 \overline{CS} が LOW になったあと後半の 13 SCLK サイクルにわたってこの状態を保ちます。

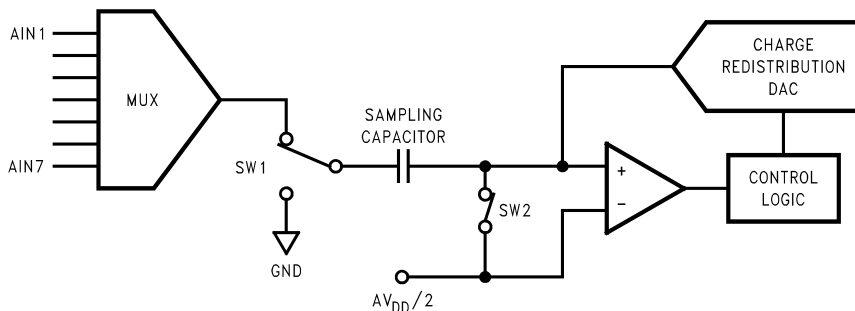


FIGURE 2. ADC78H89 in Track Mode

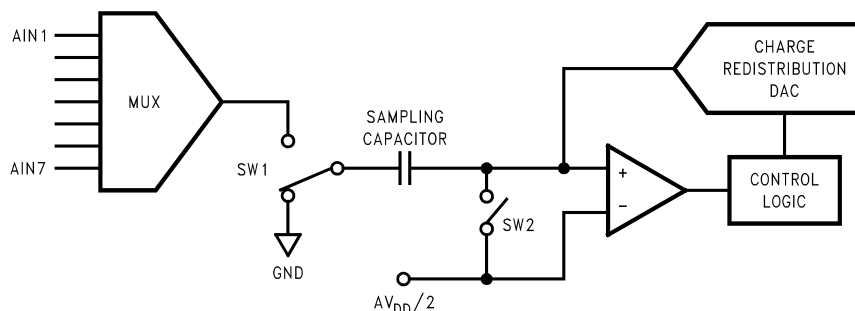


FIGURE 3. ADC78H89 in Hold Mode

アプリケーション情報 (つづき)

3.0 ADC78H89 の伝達関数

ADC78H89 の出力フォーマットはストレート・バイナリ形式です。コード遷移は連続する LSB と LSB の中点付近で生じます。ADC78H89 の LSB の大きさは $AV_{DD}/4096$ です。理想的な伝達特性を Figure 4 に示します。

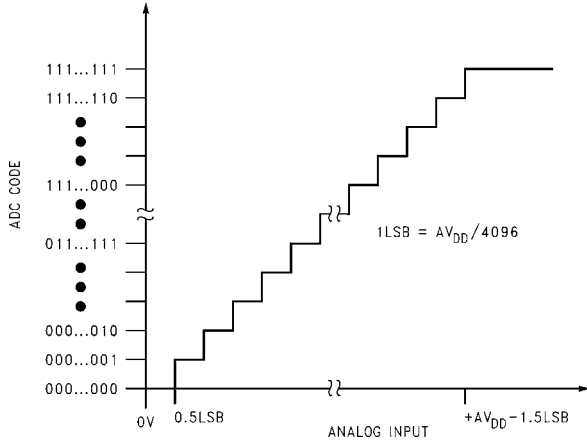


FIGURE 4. Ideal Transfer Characteristics

4.0 代表的なアプリケーション回路

ADC78H89 の代表的アプリケーション回路の例を Figure 5 に示します。この例では、固定電圧出力または電圧外部設定機能を備えるナショナル セミコンダクターの LP2950 低ドロップアウト電圧レギュレータを用いて、アナログ電圧とデジタル電圧の両方を供給しています。アナログ電源は ADC78H89 近くに配置したコンデンサ・ネットワークでバイパスしています。デジタル電源は直列抵抗を介してアナログ電源と分離し、さらにバイパス・コンデンサで安定化を図っています。ADC78H89 はアナログ電圧 (AV_{DD}) をリファレンス電圧として使用するため、 AV_{DD} を可能な限りクリーンにすることが重要です。ADC78H89 の消費電力は小さいため、高精度な電圧リファレンスを電源として用いて性能を最大限に引き出すことも可能です。図では 4 本の信号線をマイクロプロセッサまたは DSP に接続しています。

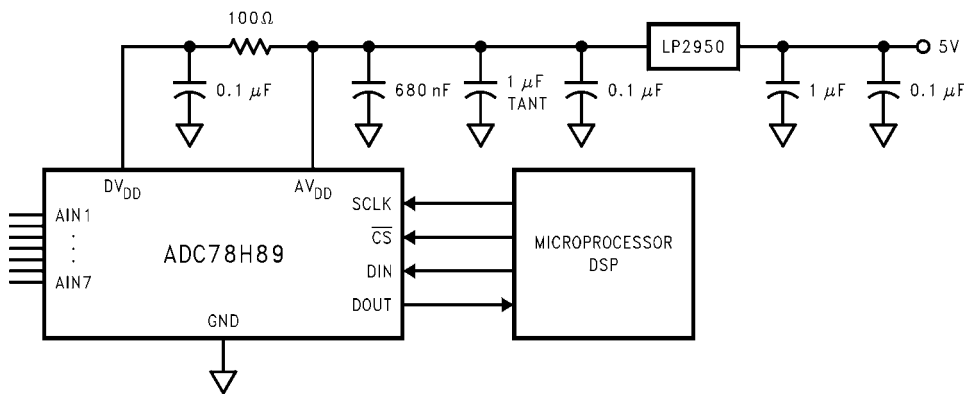


FIGURE 5. Typical Application Circuit

5.0 アナログ入力

ADC78H89 入力段の等価回路を Figure 6 に示します。各変換の始まりでは ADC78H89 が持つ 7 つのチャネルのうち 1 つが選択されます。ダイオード D1 と D2 はアナログ入力の ESD 保護を目的としています。ESD ダイオードが導通すると正しい動作が得られなくなるため、アナログ入力は瞬間的であっても ($AV_{DD} + 300mV$) を上回ったり ($GND - 300mV$) を下回ってはなりません。

Figure 6 に示すコンデンサ C1 の代表値は 3pF で、主にパッケージ端子の容量成分です。抵抗 R1 はマルチプレクサとトラック / ホールド回路のスイッチに起因するもので代表値は 500 です。コンデンサ C2 は ADC78H89 のサンプリング・コンデンサで代表値は 30pF です。サンプリング・コンデンサの充電で生じる入力の変動を吸収させる意味で、ADC78H89 は低インピーダンスの信号源で駆動されたときに最も高い性能を発揮します。

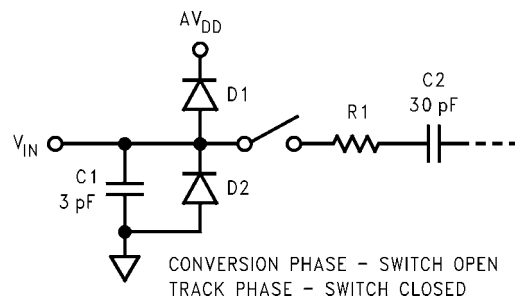


FIGURE 6. Equivalent Input Circuit

そのため、動的な性能がクリティカルなアプリケーションでは、入力信号は低出力インピーダンス・アンプで駆動しなければなりません。また、ADC78H89 を AC 信号のサンプリングに使用する場合は、バンドパス・フィルタまたはローパス・フィルタを使用して高調波やノイズを排除するとダイナミック性能の改善が図れます。

アプリケーション情報 (つづき)

6.0 デジタル入力とデジタル出力

ADC78H89 のデジタル入力 (SCLK、 $\overline{\text{CS}}$ 、DIN) は上限電圧が規定されており、また AV_{DD} を超えてはなりません。デジタル入力ピンはラッチアップが起こらないよう設計されていますが、 DV_{DD} 確定後に SCLK、 $\overline{\text{CS}}$ 、DIN に印加したほうがリスクを低減できます。

7.0 電源構成の考慮事項

ADC78H89 は電源を 2 系統必要とします。この製品を扱うには電源に関して 2 つの点に注意が必要です。1 つは電源オン・シーケンスを含む 2 電源の相対レベルで、もう 1 つはアナログ電源に重畳するデジタル電源ノイズの影響です。

7.1 パワー・マネージメント

ADC78H89 はデュアル電源のデバイスです。2 系統の電源は ESD 保護回路を共有しているため、電源を適切なシーケンスで印加しなければならない点に注意が必要です。ESD ダイオードの導通を避けるため、デジタル電源 (DV_{DD}) 電圧はアナログ電源 (AV_{DD}) 電圧を 300mV 以上超えてはなりません。したがって、ADC78H89 のアナログ電源はデジタル電源より先に (または同時に) 印加する必要があります。

$\overline{\text{CS}}$ を LOW にすると ADC78H89 は全面的にパワーアップし、 $\overline{\text{CS}}$ を HIGH にすると全面的にパワーダウンします。ただし例外があり、変換処理の 16 番目の SCLK 立ち下がりエッジから、次の変換処理の 1 番目の SCLK 立ち下がりエッジまでの間は、ADC78H89 は自動的にパワーダウン・モードに移ります (Figure 1 参照)。

ADC78H89 では、パワーアップ後の待ち動作やダミー変換サイクルは必要ありません。デバイスはパワーアップ直後の最初の変換から、完全な分解能でアナログ入力を取り込みます。

ADC78H89 は連続して複数の変換を実行します。各変換には 16 SCLK サイクルがかかります。ADC78H89 は $\overline{\text{CS}}$ が LOW の間は変換を継続して実行します。

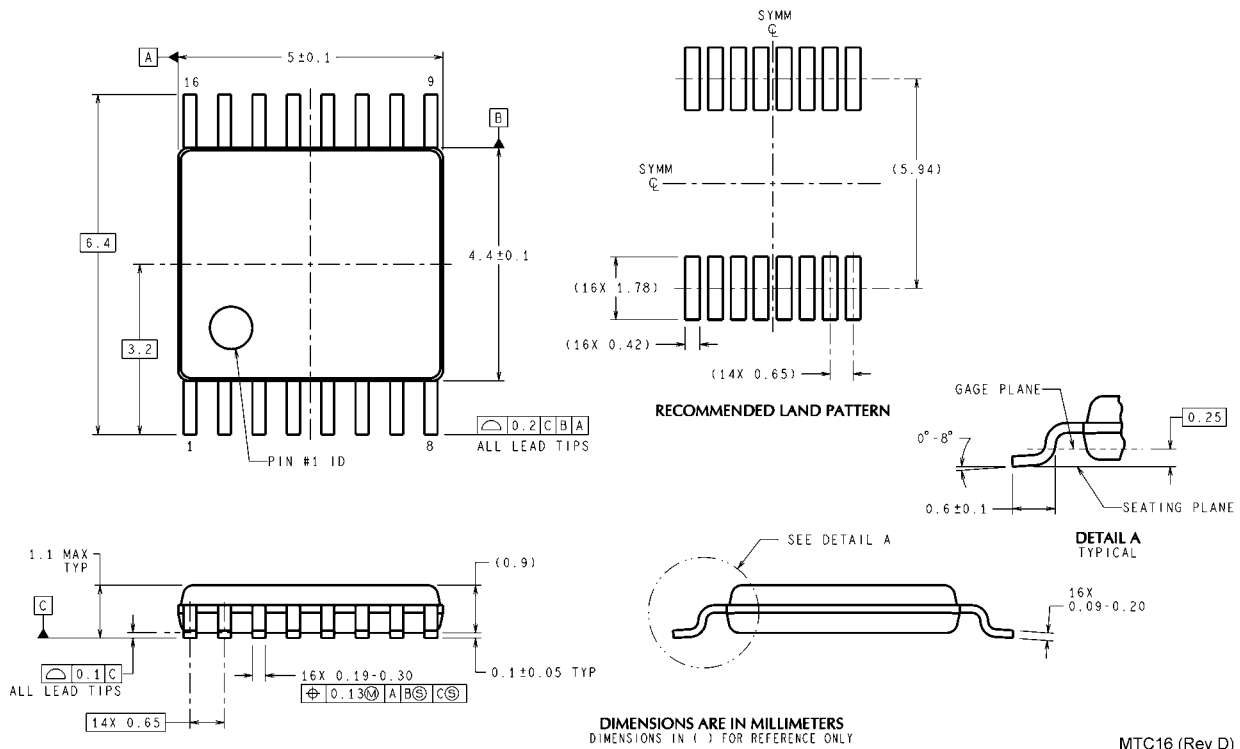
単位時間あたりの変換数を減らせば、設計者はスリープと消費電力のどちらかを優先できます。ADC78H89 の最大消費電力の代表値とスリープの関係を示す「代表的な性能特性」の「Power Consumption vs. Throughput」に示します。消費電力は単純に、ノーマル・モードで動作する時間の割合にノーマル・モード時の消費電力 (たとえば $\text{AV}_{\text{DD}} = \text{DV}_{\text{DD}} = +3.6\text{V}$ の場合で 8.3mW) を乗算し、シャットダウン・モードで動作する時間の割合にシャットダウン・モード時の消費電力 ($\text{AV}_{\text{DD}} = \text{DV}_{\text{DD}} = +3.6\text{V}$ で 0.3mW) を乗算して、両者を加算すれば求められます。

7.2 電源ノイズに関する注意

出力負荷容量を充電するためにデジタル電源 DV_{DD} からは電流が引き込まれます。電源を流れる充電電流パルスによってデジタル電源の電圧は変動します。変動が大きいと ADC の SNR 性能と SINAD 性能が低下する可能性があります。また、アナログ電源とデジタル電源が直接接続されている場合、デジタル電源上のノイズがアナログ電源に直接重畳し、デジタル電源側にノイズが存在する場合より性能低下が大きくなります。さらに、デジタル出力がロジック HIGH からロジック LOW に変化したときに生じる出力容量からの放電によって、ダイ・サブストレートに流れる電流が抵抗を受けて抑えられます。負荷放電電流はサブストレートの「グラウンド・バウンス」ノイズの原因となり、電流が大きい場合、同じようにノイズ性能を低下させます。出力容量が大きいほどダイ・サブストレートを流れる電流が増え、アナログ系に重畳するノイズが大きくなり、ノイズ性能も低下します。

対策としては、まずはじめに、アナログ電源とデジタル電源間をデカップリングするか異なる電源系統から供給して、デジタル・ノイズがアナログ電源に混入しないようにしてください。さらに、デジタル電源のノイズ対策と合わせて、出力負荷容量を妥当な範囲で小さくしてください。負荷容量が 25pF より大きい場合、ADC 出力ピンのできるだけ近くに 100 の直列抵抗を挿入してください。出力容量の充放電電流を抑えてノイズ性能を改善します。

外形寸法図 単位は millimeters



16-Lead TSSOP
Order Number ADC78H89CIMT, ADC78H89CIMTX
NS Package Number MTC16

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上