

ADC108S022 8チャンネル、50ksps~200ksps、 10ビットA/Dコンバータ

特長

- 入力8チャンネル
- 可変パワーマネジメント
- 独立したアナログ電源とデジタル電源
- SPI/QSPI/MICROWIRE/DSP互換
- 16ピンTSSOPパッケージ

アプリケーション

- 自動車のナビゲーション・システム
- ポータブル・システム
- 医療機器
- 移動通信
- 計装システムや制御システム

主な仕様

- 変換レート 50ksps~ 200ksps
- DNL ($V_A = V_D = 2.7V \sim 5.25V$) $\pm 0.3LSB$ (max)
- INL ($V_A = V_D = 2.7V \sim 5.25V$) $\pm 0.3LSB$ (max)
- 消費電力
 - 3V 電源 1.1mW (typ)
 - 5V 電源 6.4mW (typ)

概要

ADC108S022は入力8チャンネルの10ビットCMOS A/Dコンバータで、低消費電力で動作し変換スループットは50ksps~200kspsです。ADC108S022はトラック/ホールド回路を内蔵した逐次比較レジスタ・アーキテクチャを採用しています。入力IN0からIN7まで最大で8種類の信号を入力できる構成になっています。

シリアル・データ出力はストレート・バイナリ形式で、SPI、QSPI、MICROWIREなど、広く使われている標準的なDSPシリアル・インターフェイスと互換性があります。

ADC108S022は、アナログ系とデジタル系に個別の電源電圧を与えて動作できます。アナログ電源 (V_A) の電圧範囲は+2.7Vから+5.25Vまで、デジタル電源 (V_D) の電圧範囲は+2.7Vから V_A までです。標準的な消費電力は、+3V動作時で1.1mW、+5V動作時で6.4mWです。消費電力を低減できるパワーダウン機能を備えており、+3V動作時で0.09 μ W、+5V動作時で0.3 μ Wとなります。

ADC108S022は16ピンのTSSOPパッケージで提供されます。産業用温度範囲 (-40°C~+105°C) での動作が保証されています。

ピン配置図

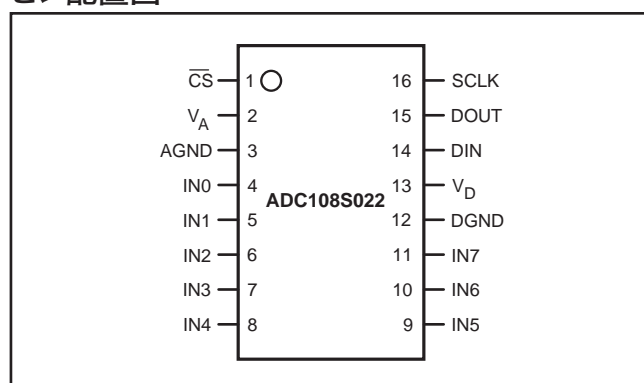


図 1. パッケージ番号PW

すべての商標および登録商標は、それぞれの所有者に帰属します。

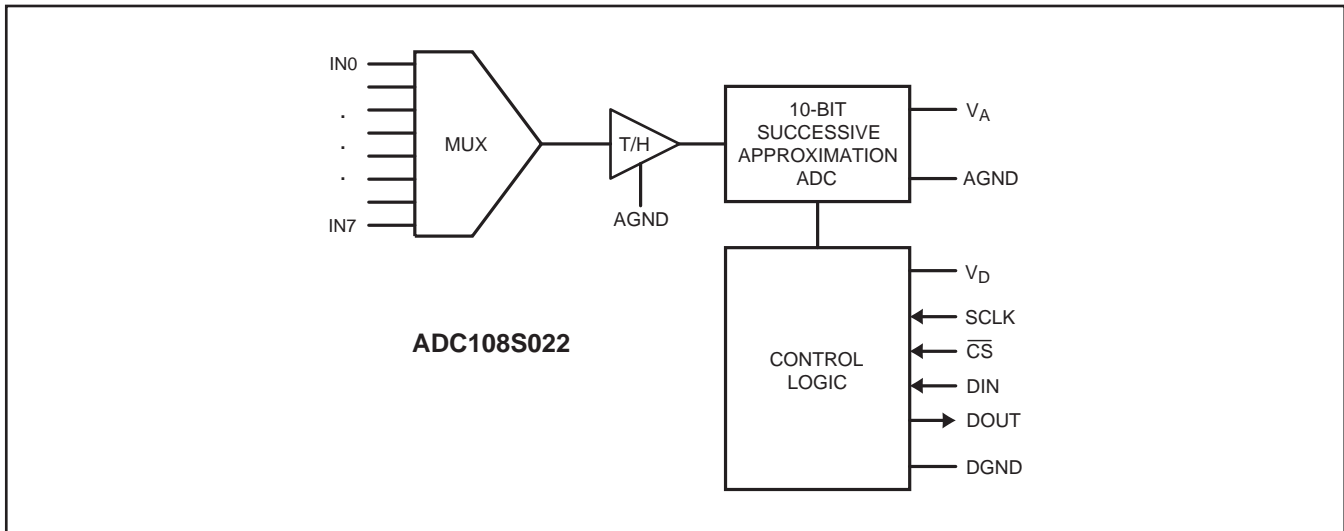
この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

ブロック図



ピン説明

ピン番号	シンボル	説明
アナログI/O		
4 - 11	IN0 to IN7	アナログ入力。信号の電圧範囲は0V ~ V _{REF} です。
デジタルI/O		
16	SCLK	デジタル・クロック入力。周波数範囲は0.8MHz~3.2MHzで保証されています。このクロックは変換処理と読み出し処理を直接制御します。
15	DOUT	デジタル・データ出力。出力サンプルは、SCLKの立ち下がりエッジに同期して出力されます。
14	DIN	デジタル・データ入力。SCLKの立ち上がりエッジで本ピンからデータが取り込まれADC108S022内部の制御レジスタへ与えられます。
1	\overline{CS}	チップ・セレクト。 \overline{CS} ピンの立ち下がりエッジで変換処理が開始されます。 \overline{CS} がLowの間は連続して変換が行われます。
電源		
2	V _A	正のアナログ電源ピン。この電圧がリファレンス電圧になります。+2.7V ~ +5.25Vの安定した電源に接続し、0.1 μ Fと1 μ Fのセラミック・モノリシック・コンデンサをピンから1cm以内に配置してバイパスを行なってください。
13	V _D	正電圧のデジタル電源ピン。+2.7V ~ V _A までの電源を接続し、ピンから1cm以内に0.1 μ Fのセラミック・モノリシック・コンデンサを設けグラウンドに対してバイパスを行なってください。
3	AGND	アナログ電源と信号のグラウンド・ピン。
12	DGND	電源と信号のグラウンド・ピン。

絶対最大定格⁽¹⁾⁽²⁾

アナログ電源電圧 (V_A)	-0.3V ~ 6.5V
デジタル電源電圧 (V_D)	-0.3V ~ $V_A + 0.3V$, 最大 6.5V
任意のピンの対GND電圧	-0.3V ~ $V_A + 0.3V$
入力電流 ⁽³⁾	±10 mA
パッケージの入力電流 ⁽³⁾	±20 mA
パッケージ消費電力 ($T_A = 25^\circ\text{C}$)	参照 ⁽⁴⁾
ESD耐性 ⁽⁵⁾ 人体モデル マシン・モデル	2500V 250V
ハンダ付けの仕様については、 www.ti.com/lit/SNOA549 を参照してください。	
接合部温度	+150°C
保存温度範囲	-65°C ~ +150°C

- (1) 絶対最大定格とは、ICに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証されたリミット値および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。また、記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。
- (2) 軍用/航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様について日本TIの販売特約店または営業所にお問い合わせください。
- (3) いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$ または V_D)、そのピンの入力電流を10mA以下に制限しなければなりません。最大パッケージ入力定格電流 (20mA) により、電源電圧を超えて10mAの電流を流すことができるピンの数は2本に制限されます。
- (4) 温度上昇時の動作では、最大消費電力の定格を T_{jmax} (最大接合部温度: このデバイスの場合、 T_{jmax} は 150°C)、 θ_{JA} (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってディレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{jmax} - T_A) / \theta_{JA}$ または絶対最大定格で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗 θ_{JA} は16ピンTSSOPでは $96^\circ\text{C}/\text{W}$ なので、 25°C での最大許容消費電力は、 $P_{DMAX} = 1200\text{mW}$ 、 105°C の最大動作周囲温度では、 625mW になります。通常動作時のこのデバイスの消費電力は最大で 12mW になることに注意してください。上記の最大許容消費電力の値にまで上がる場合は、ADC108S022が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。
- (5) 人体モデルの場合、100pFのコンデンサから直列抵抗 $1.5\text{k}\Omega$ を通して各ピンに放電させます。マシン・モデルの場合は、220pFのコンデンサから直接各ピンに放電させます。

動作定格⁽¹⁾⁽²⁾

動作温度範囲	$-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$
電源電圧 (V_A)	+2.7V ~ +5.25V
電源電圧 (V_D)	+2.7V ~ V_A
デジタル入力電圧	0V ~ V_A
アナログ入力電圧	0V ~ V_A
クロック周波数	50 kHz ~ 16 MHz

- (1) 絶対最大定格とは、ICに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証されたリミット値および試験条件については「電気的特性」を参照ください。保証された仕様はリストに示された試験条件でのみ適用されます。また、記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。
- (2) 特記のない限り、すべての電圧は $GND = 0V$ を基準にして測定されています。

パッケージ熱抵抗

Package	θ_{JA}
16-lead TSSOP on 4-layer, 2 oz. PCB	$96^\circ\text{C} / \text{W}$

ADC108S022 コンバータの電気的特性⁽¹⁾

特記のない限り、以下の仕様は、 $V_A = V_D = +2.7V \sim +5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{SCLK} = 0.8MHz \sim 3.2MHz$ 、 $f_{SAMPLE} = 50ksps \sim 200ksps$ 、 $C_L = 50pF$ に対して適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は、 $T_A = 25^\circ C$ に適用されます。

Symbol	パラメータ	Conditions	Typical	Limits ⁽²⁾	単位
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10	Bits
INL	Integral Non-Linearity (End Point Method)		± 0.1	± 0.3	LSB (max)
DNL	Differential Non-Linearity		± 0.1	± 0.3	LSB (max)
V_{OFF}	Offset Error		+0.3	± 0.7	LSB (max)
OEM	Offset Error Match		± 0.05	± 0.2	LSB (max)
FSE	Full Scale Error		+0.1	± 0.4	LSB (max)
FSEM	Full Scale Error Match		± 0.05	± 0.2	LSB (max)
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth (-3dB)		8		MHz
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 40.2 \text{ kHz}$, -0.02 dBFS	61.8	61.3	dB (min)
SNR	Signal-to-Noise Ratio	$f_{IN} = 40.2 \text{ kHz}$, -0.02 dBFS	61.9	61.4	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 40.2 \text{ kHz}$, -0.02 dBFS	-86.5	-73.4	dB (max)
SFDR	Spurious-Free Dynamic Range	$f_{IN} = 40.2 \text{ kHz}$, -0.02 dBFS	83.2	76.6	dB (min)
ENOB	Effective Number of Bits	$f_{IN} = 40.2 \text{ kHz}$	9.98	9.89	Bits (min)
ISO	Channel-to-Channel Isolation	$f_{IN} = 20 \text{ kHz}$	79.8		dB
IMD	Intermodulation Distortion, Second Order Terms	$f_a = 19.5 \text{ kHz}$, $f_b = 20.5 \text{ kHz}$	-86.0		dB
	Intermodulation Distortion, Third Order Terms	$f_a = 19.5 \text{ kHz}$, $f_b = 20.5 \text{ kHz}$	-82.5		dB
ANALOG INPUT CHARACTERISTICS					
V_{IN}	Input Range		0 to V_A		V
I_{DCL}	DC Leakage Current			± 1	μA (max)
C_{INA}	Input Capacitance	Track Mode	33		pF
		Hold Mode	3		pF
DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Input High Voltage	$V_A = V_D = +2.7V$ to +3.6V		2.1	V (min)
		$V_A = V_D = +4.75V$ to +5.25V		2.4	V (min)
V_{IL}	Input Low Voltage			0.8	V (max)
I_{IN}	Input Current	$V_{IN} = 0V$ or V_D	± 0.01	± 1	μA (max)
C_{IND}	Digital Input Capacitance		2	4	pF (max)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$,		$V_D - 0.5$	V (min)
V_{OL}	Output Low Voltage	$I_{SINK} = 200 \mu A$ to 1.0 mA,		0.4	V (max)
I_{OZH} , I_{OZL}	Hi-Impedance Output Leakage Current			± 1	μA (max)
C_{OUT}	Hi-Impedance Output Capacitance ⁽¹⁾		2	4	pF (max)
	Output Coding				Straight (Natural) Binary

(1) データシートのmin/maxリミット値は、設計、テスト、統計解析によって保証されています。

(2) テスト・リミット値は、AOQL(平均出荷品質レベル)に基づいて指定されます。

ADC108S022 コンバータの電気的特性⁽¹⁾

特記のない限り、以下の仕様は、 $V_A = V_D = +2.7V \sim +5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{SCLK} = 0.8MHz \sim 3.2MHz$ 、 $f_{SAMPLE} = 50ksps \sim 200ksps$ 、 $C_L = 50pF$ に対して適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は、 $T_A = 25^\circ C$ に適用されます。

Symbol	パラメータ	Conditions	Typical	Limits ⁽²⁾	単位
POWER SUPPLY CHARACTERISTICS ($C_L = 10 pF$)					
V_A, V_D	Analog and Digital Supply Voltages	$V_A \geq V_D$		2.7	V (min)
				5.25	V (max)
$I_A + I_D$	Total Supply Current Normal Mode (\overline{CS} low)	$V_A = V_D = +2.7V$ to $+3.6V$, $f_{SAMPLE} = 200 kSPS$, $f_{IN} = 40 kHz$	0.36	0.94	mA (max)
		$V_A = V_D = +4.75V$ to $+5.25V$, $f_{SAMPLE} = 200 kSPS$, $f_{IN} = 40 kHz$	1.28	2.1	mA (max)
	Total Supply Current Shutdown Mode (\overline{CS} high)	$V_A = V_D = +2.7V$ to $+3.6V$, $f_{SCLK} = 0 kSPS$	30		nA
		$V_A = V_D = +4.75V$ to $+5.25V$, $f_{SCLK} = 0 kSPS$	60		nA
P_C	Power Consumption Normal Mode (\overline{CS} low)	$V_A = V_D = +3.0V$ $f_{SAMPLE} = 200 kSPS$, $f_{IN} = 40 kHz$	1.1	2.8	mW (max)
		$V_A = V_D = +5.0V$ $f_{SAMPLE} = 200 kSPS$, $f_{IN} = 40 kHz$	6.4	10.5	mW (max)
	Power Consumption Shutdown Mode (\overline{CS} high)	$V_A = V_D = +3.0V$ $f_{SCLK} = 0 kSPS$	0.09		μW
		$V_A = V_D = +5.0V$ $f_{SCLK} = 0 kSPS$	0.30		μW
AC ELECTRICAL CHARACTERISTICS					
$f_{SCLKMIN}$	Minimum Clock Frequency			0.8	MHz (min)
f_{SCLK}	Maximum Clock Frequency		16	3.2	MHz (max)
f_s	Sample Rate Continuous Mode			50	ksps (min)
			1000	200	ksps (max)
$t_{CONVERT}$	Conversion (Hold) Time			13	SCLK cycles
DC	SCLK Duty Cycle		30	40	% (min)
			70	60	% (max)
t_{ACQ}	Acquisition (Track) Time			3	SCLK cycles
	Throughput Time	Acquisition Time + Conversion Time		16	SCLK cycles
t_{AD}	Aperture Delay		4		ns

ADC108S022 タイミング特性

特記のない限り、以下の仕様は、 $V_A = V_D = +2.7V \sim 5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{SCLK} = 0.8MHz \sim 3.2MHz$ 、 $f_{SAMPLE} = 50ksps \sim 200ksps$ 、 $C_L = 50pF$ に対して適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は、 $T_A = 25^\circ C$ に適用されます。

Symbol	パラメータ	Conditions	Typical	Limits ⁽¹⁾	単位
t_{CSH}	\overline{CS} Hold Time after SCLK Rising Edge		0	10	ns (min)
t_{CSS}	\overline{CS} Setup Time prior to SCLK Rising Edge		5	10	ns (min)
t_{EN}	\overline{CS} Falling Edge to DOUT enabled		5	30	ns (max)
t_{DACC}	DOUT Access Time after SCLK Falling Edge		17	27	ns (max)
t_{DHLD}	DOUT Hold Time after SCLK Falling Edge		4		ns (typ)
t_{DS}	DIN Setup Time prior to SCLK Rising Edge		3	10	ns (min)
t_{DH}	DIN Hold Time after SCLK Rising Edge		3	10	ns (min)
t_{CH}	SCLK High Time			0.4 x t_{SCLK}	ns (min)
t_{CL}	SCLK Low Time			0.4 x t_{SCLK}	ns (min)
t_{DIS}	\overline{CS} Rising Edge to DOUT High-Impedance	DOUT falling	2.4	20	ns (max)
		DOUT rising	0.9	20	ns (max)

(1) テスト・リミット値は、AOQL(平均出荷品質レベル)に基づいて指定されます。

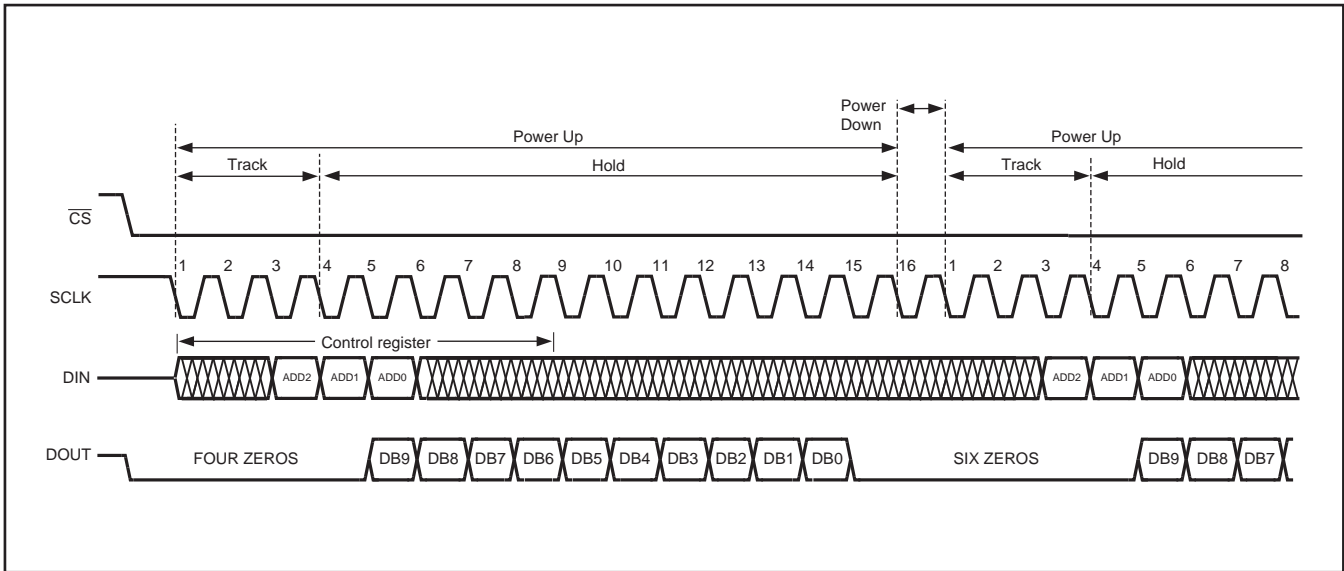


図 2. ADC108S022の動作タイミング図

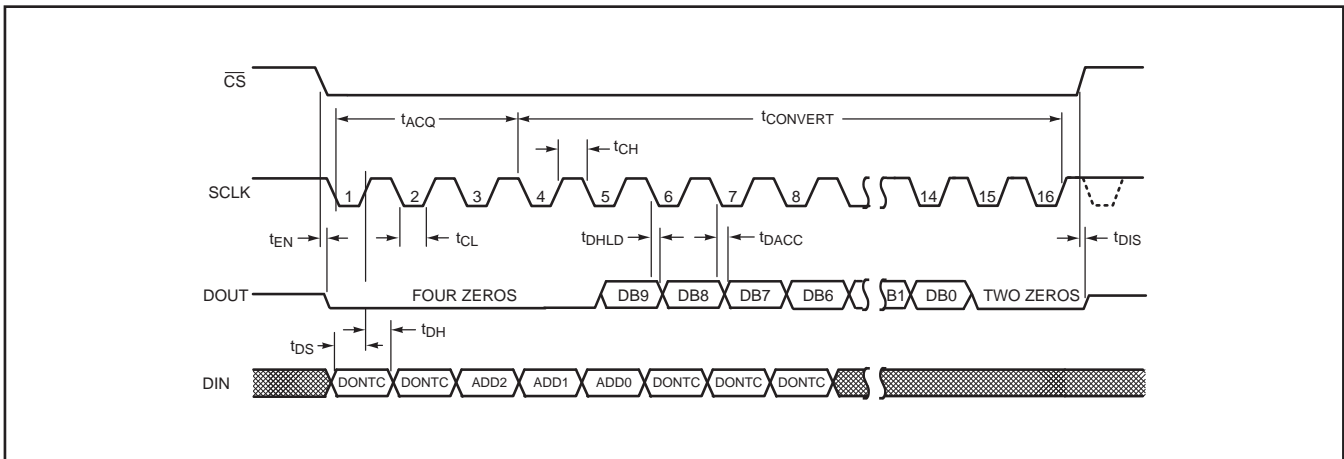


図 3. ADC108S022のシリアル・タイミング図

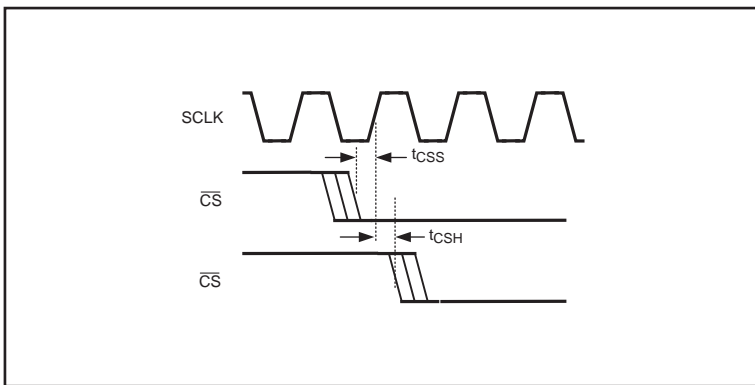


図 4. SCLKおよびCS タイミング・パラメータ

用語の定義

アキュイジション時間 (ACQUISITION TIME)は、A/Dコンバータの入力電圧を取り込むのに必要な時間です。この間に、ホールド・コンデンサは入力電圧によって充電されます。

アパーチャ・ディレイ (APERTURE DELAY)は、変換処理開始後4番目のSCLK立ち下がりエッジから、変換を行なうために入力信号が取り込まれるかまたはホールドされるまでの時間です。

変換時間 (CONVERSION TIME)は、入力電圧を取り込んだ後、A/Dコンバータが入力電圧をデジタル・ワードに変換するために必要な時間です。

チャンネル間アイソレーション (CHANNEL-TO-CHANNEL ISOLATION)は、あるチャンネルから別のチャンネルへのエネルギー結合のされにくさです。

クロストーク (CROSSTALK)は、一方のチャンネルから他方のチャンネルに結合するエネルギーです。これはデータの符号を除いて、チャンネル間アイソレーションに似ています。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL)は、理想的なステップである1LSBからの最大偏差として表されます。

デューティ・サイクル (DUTY CYCLE)とは、繰り返し波形の周期に対するHigh期間の割合です。本データシートではSCLKに適用されます。

有効ビット (EFFECTIVE NUMBER OF BITS : ENOB)は、信号/(ノイズ+歪み)比またはSINADの別の規定方法です。ENOBは $(\text{SINAD} - 1.76) / 6.02$ として定義され、この値のビット数をもつ完全なA/Dコンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH)は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して3dB落ちる周波数として測定されます。

フルスケール誤差 (FULL SCALE ERROR : FSE)は、最後のコードの遷移が、理想的な V_{REF} +より1 1/2 LSB下の点からどのくらい離れているかを示す量で、次の式で定義されています。

$$V_{\text{FSE}} = V_{\text{max}} + 1.5 \text{ LSB} - V_{\text{REF}}^+ \quad (1)$$

ここで、

- V_{max} は最大コードへの遷移が発生する電圧です。
- FSEは、ボルト(V)、LSB、またはフルスケール範囲に対する割合 (%)で表されます。

ゲイン誤差 (GAIN ERROR)は、理想的な値 ($V_{\text{REF}} - 1.5\text{LSB}$)に対する、オフセット誤差調整後の、(111...110)から (111...111)に移る最終コード遷移の偏差です。

積分非直線性 (INTEGRAL NON-LINEARITY : INL)は、負のフルスケール (最初のコード遷移の1/2LSB下)から正のフルスケール (最後のコード遷移の1/2LSB上)まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION : IMD)は、A/Dコンバータの入力に2つの正弦波周波数を同時に入力し、結果として作り出される追加のスペクトル成分です。2つの周波数入力のうち1つの周波数のパワーに対する2次および3次混変調成分のパワーの比として定義されます。2次積は $f_a \pm f_b$ であり、 f_a と f_b は2つの正弦波入力周波数です。3次積は $(2f_a \pm f_a)$ と $(f_a \pm 2f_b)$ です。IMDは通常dBで表されます。

ミッシング・コード (MISSING CODES)は、A/Dコンバータから出力されない出力コードです。すべての入力レベルで、ミッシング・コードが発生することはありません。ADC108S022は、ミッシング・コードのないことが保証されています。

オフセット誤差 (OFFSET ERROR)は、理想的な値 ($\text{GND} + 0.5\text{LSB}$)に対する、(000...000)から (000...001)に移る最初のコード遷移の偏差です。

信号/ノイズ比 (SIGNAL TO NOISE RATIO : SNR)は、クロック信号の1/2以下の周波数における、(高調波とDC成分を除く)その他すべてのスペクトル成分の実効値に対する入力信号の実効値の比で、dBで表されます。

信号/(ノイズ+歪み)比 (SIGNAL TO NOISE PLUS DISTORTION RATIO : S/(N + D) または SINAD)は、クロック信号の1/2以下の周波数における、(高調波を含み、DC成分を除く)その他すべてのスペクトル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアスフリー・ダイナミック・レンジ(SPURIOUS FREE DYNAMIC RANGE : SFDR)は、入力信号の実効値に対するピーク・スプリアス信号との差で、dBで表されます。ここで言うピーク・スプリアス信号とは、入力には現れず出力スペクトラムに現れる任意のスプリアス信号(高調波を含み、DC成分を除く)です。

全高調波歪み(TOTAL HARMONIC DISTORTION : THD)は、出力に現れる2次から6次までの高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dBcで表されます。全高調波歪みTHDは次式から求めます。

$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}} \quad (2)$$

ここで、

- A_{f1} は出力に現れる入力周波数のパワーの実効値(RMS値)です。
- A_{f2} から A_{f6} は高調波のうち2次から6次までの高調波のパワーです。

スループット時間(THROUGHPUT TIME)は、2回の連続した変換の開始点どうしの最小時間間隔です。アクイジション時間と変換および読み出し時間の合計に相当します。ADC108S022の場合は16SCLK周期となります。

代表的な性能特性

特記のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 200\text{kSPS}$ 、 $f_{\text{SCLK}} = 3.2\text{MHz}$ 、 $f_{\text{IN}} = 40.2\text{kHz}$ 。

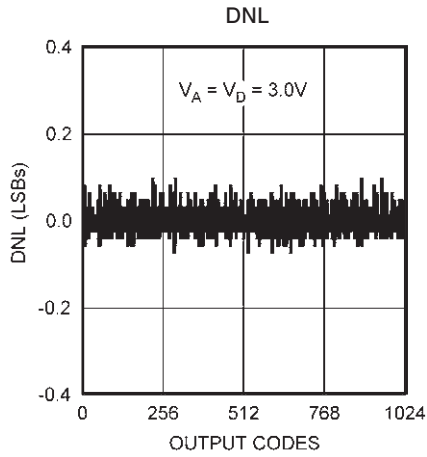


図 5

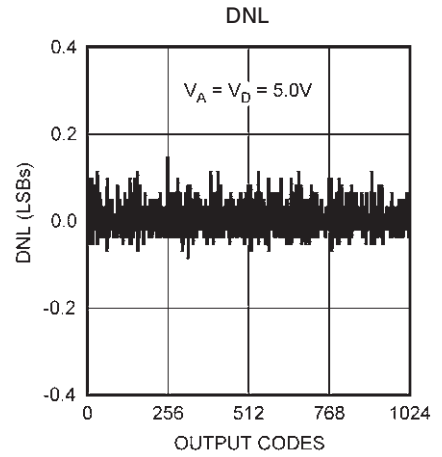


図 6

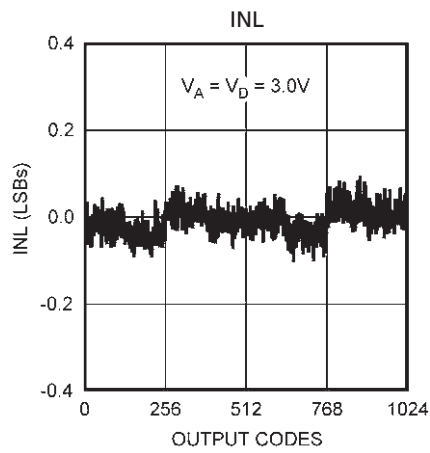


図 7

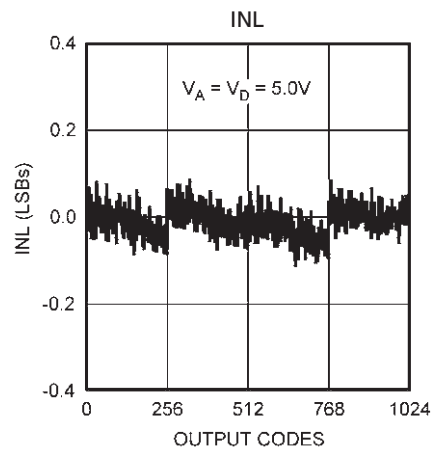


図 8

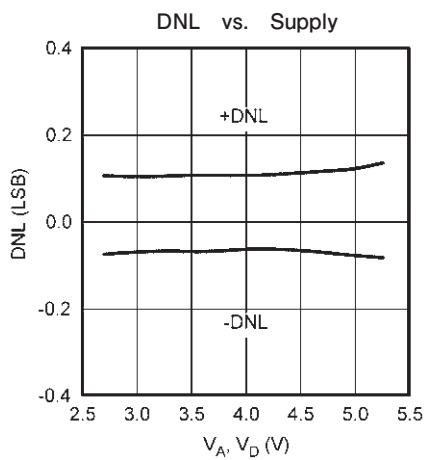


図 9

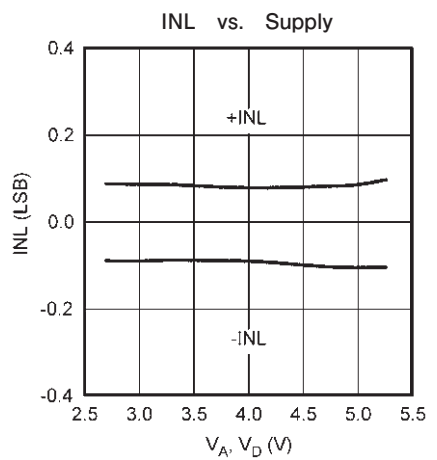


図 10

代表的な性能特性

特記のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 200\text{kSPS}$ 、 $f_{\text{SCLK}} = 3.2\text{MHz}$ 、 $f_{\text{IN}} = 40.2\text{kHz}$ 。

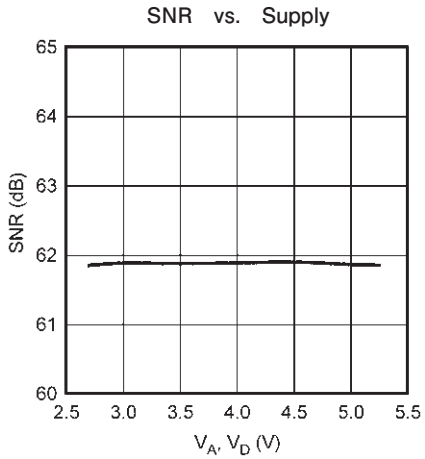


図 11

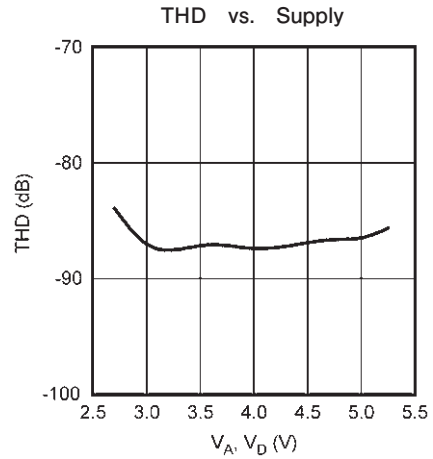


図 12

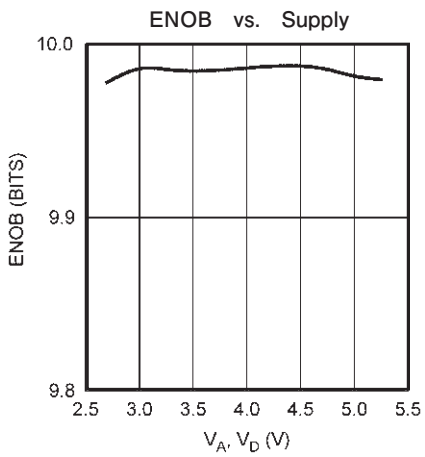


図 13

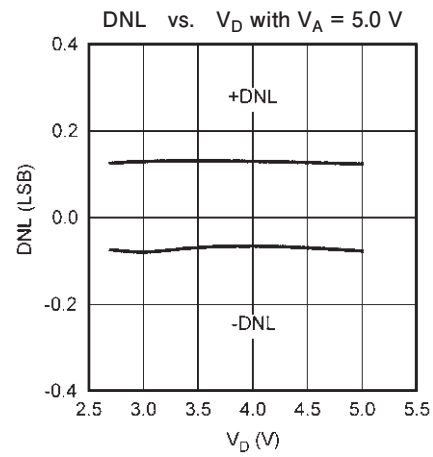


図 14

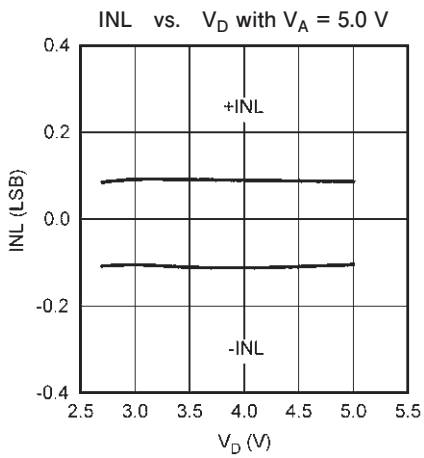


図 15

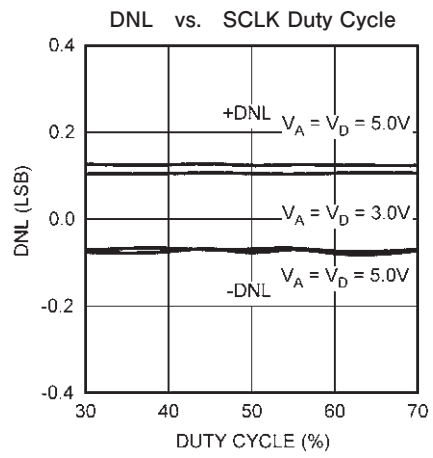


図 16

代表的な性能特性

特記のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 200\text{kSPS}$ 、 $f_{\text{SCLK}} = 3.2\text{MHz}$ 、 $f_{\text{IN}} = 40.2\text{kHz}$ 。

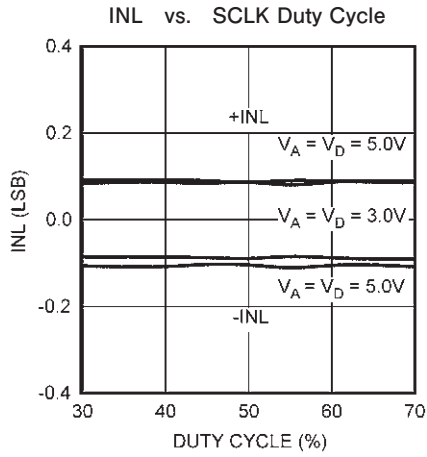


図 17

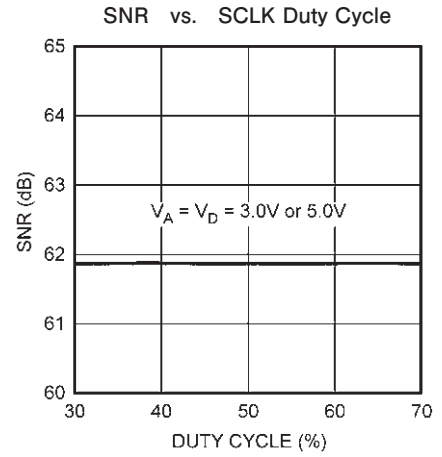


図 18

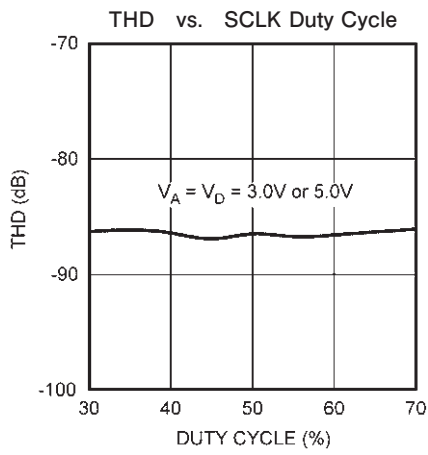


図 19

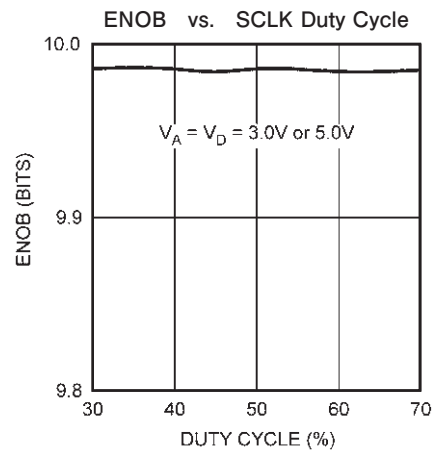


図 20

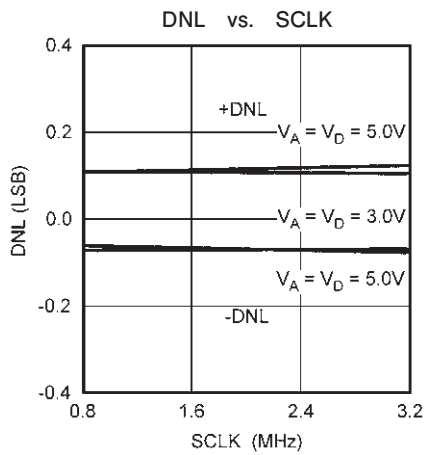


図 21

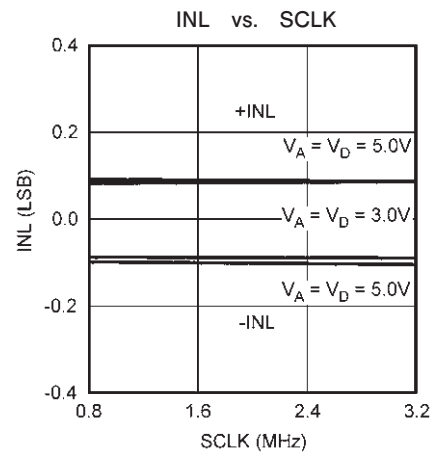


図 22

代表的な性能特性

特記のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 200\text{kSPS}$ 、 $f_{\text{SCLK}} = 3.2\text{MHz}$ 、 $f_{\text{IN}} = 40.2\text{kHz}$ 。

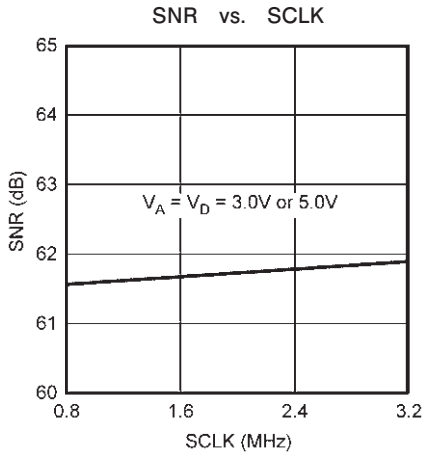


図 23

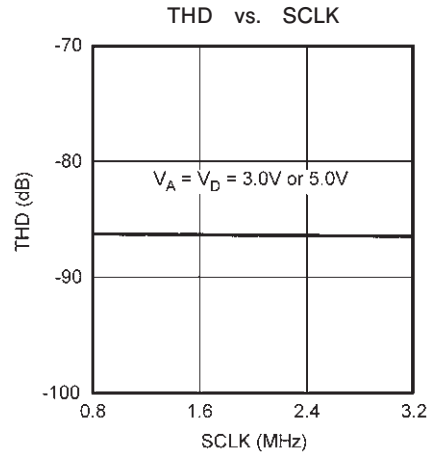


図 24

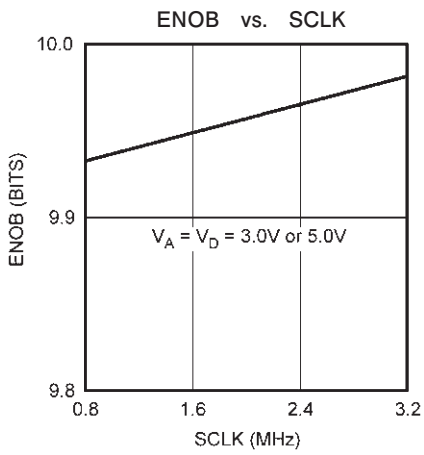


図 25

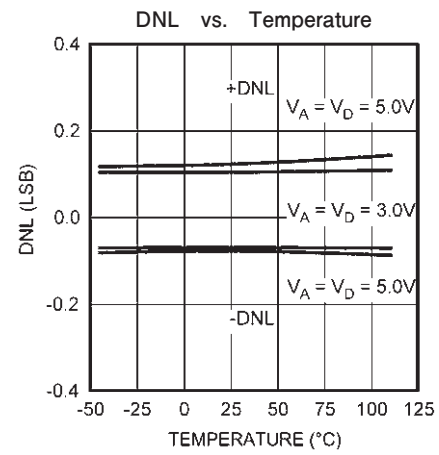


図 26

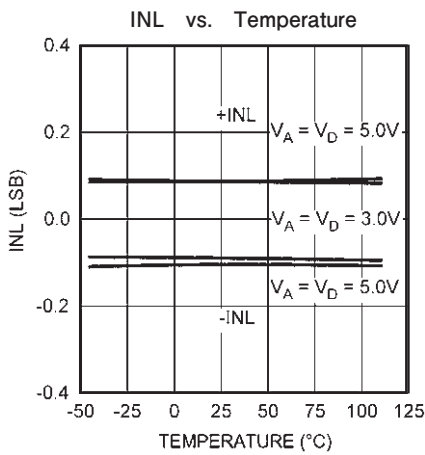


図 27

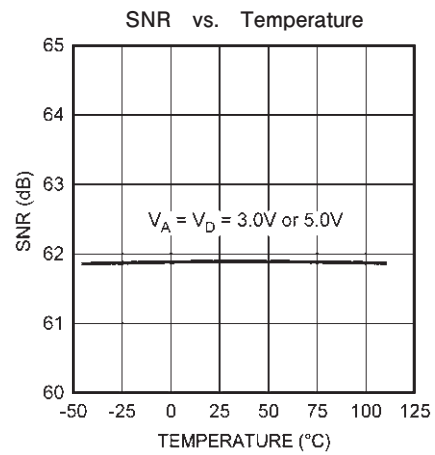


図 28

代表的な性能特性

特記のない限り、 $T_A = +25^\circ\text{C}$ 、 $f_{\text{SAMPLE}} = 200\text{kSPS}$ 、 $f_{\text{SCLK}} = 3.2\text{MHz}$ 、 $f_{\text{IN}} = 40.2\text{kHz}$ 。

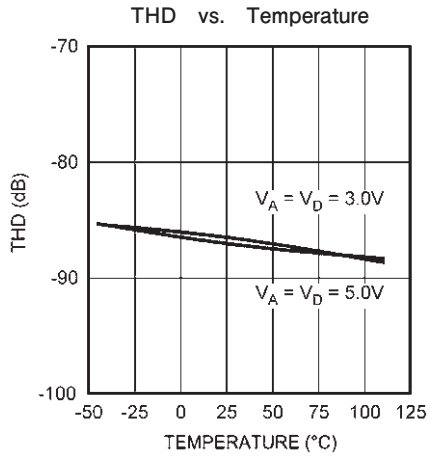


図 29

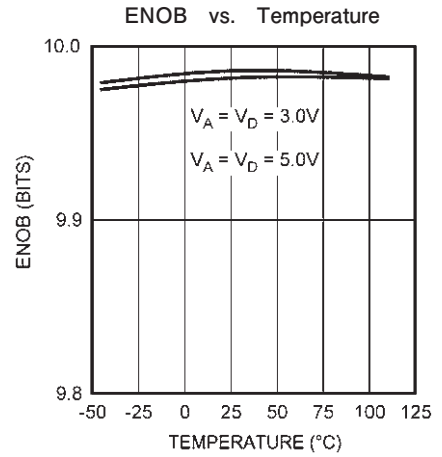


図 30

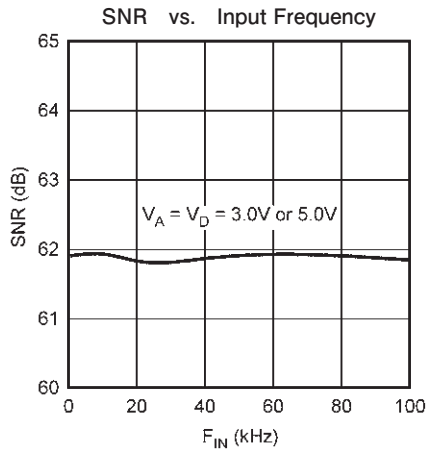


図 31

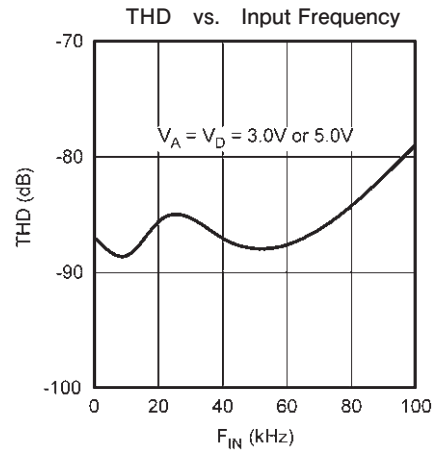


図 32

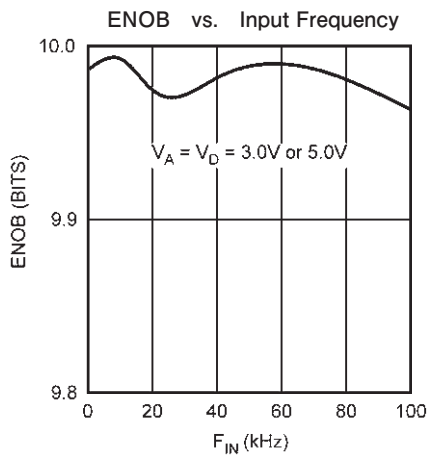


図 33

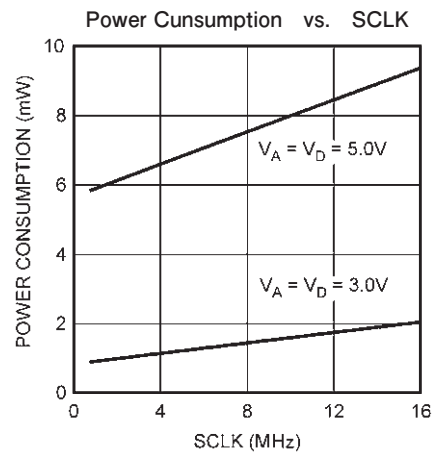


図 34

機能説明

ADC108S022は、電荷再配分D/Aコンバータを採用した逐次比較型のA/Dコンバータです。

ADC108S022の動作

トラック・モードとホールド・モードでのADC108S022の内部回路を図35と図36にそれぞれ模式化して示します。図35ではADC108S022はトラック・モードになっています。スイッチSW1によってマルチプレクサで選択された8チャンネルのうち1つのチャンネルがサンプリング・コンデンサに接続され、SW2によってコンパレータ入力は平衡に保たれます。ADC108S022は、 \overline{CS} がLowになったあと3SCLKサイクルにわたってこの状態を保ちます。

図36ではADC108S022はホールド・モードにあります。サンプリング・コンデンサはサンプリングされた電圧を保持したままSW1によってグラウンドに接続され、スイッチSW2はコンパレータを非平衡状態にします。制御回路はコンパレータが平衡状態になるまで、サンプリング・コンデンサに一定量の電荷(電位)を加算または減算するように電荷再配分型DACを制御します。コンパレータが平衡になった時点でDACに与えられているデジタル・ワードがアナログ入力電圧のデジタル値を表します。ADC108S022は、 \overline{CS} がLowになったあと後半の13SCLKサイクルにわたってこの状態を保ちます。

シリアル・インターフェイス

ADC108S022の動作とシリアル・インターフェイスのタイミング図を「タイミング図」にそれぞれ示します。 \overline{CS} はチップ・セレクトを表し、ADC108S022の変換サイクルとシリアル・データ転送フレームの開始をトリガします。またSCLK(シリアル・クロック)は、変換処理とシリアル・データ・タイミングの両方を制御します。DOUTはシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリーム、MSBファーストとして出力されます。シリアルデータ入力ピンDINのデータはADC108S022の制御レジスタに書き込まれます。DINには変換ごとに新しいデータが書き込まれます。

シリアル・フレームは \overline{CS} の立ち上がりエッジで始まり、 \overline{CS} の立ち上がりエッジで終わります。各フレームには16の整数倍の立ち上がりSCLKエッジが存在する必要があります。A/Dコンバータの出力データ(DOUT)ピンは、 \overline{CS} がHighのときハイインピーダンス状態になり、 \overline{CS} がLowのときアクティブ状態になります。このため、 \overline{CS} は出力イネーブル信号として機能します。 \overline{CS} をHighにすると、SCLKは内部のゲートによりオフになります。

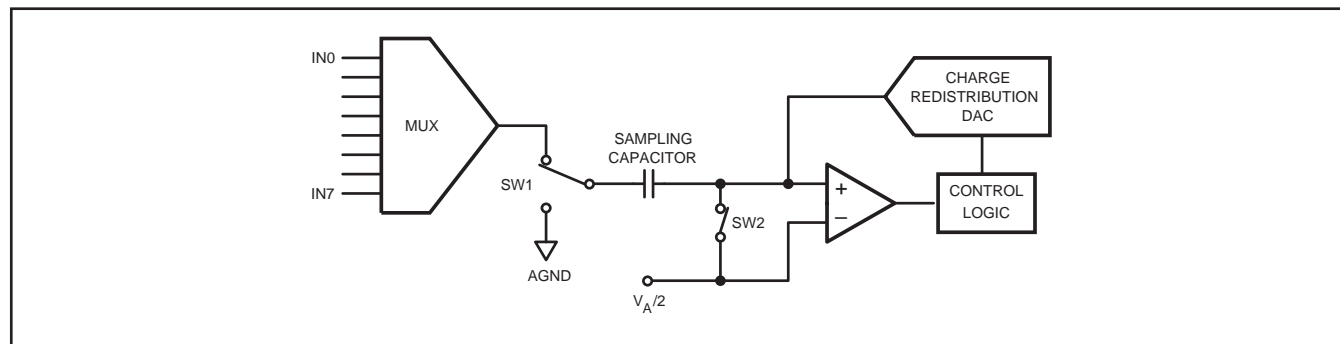


図 35. トラック・モードのADC108S022

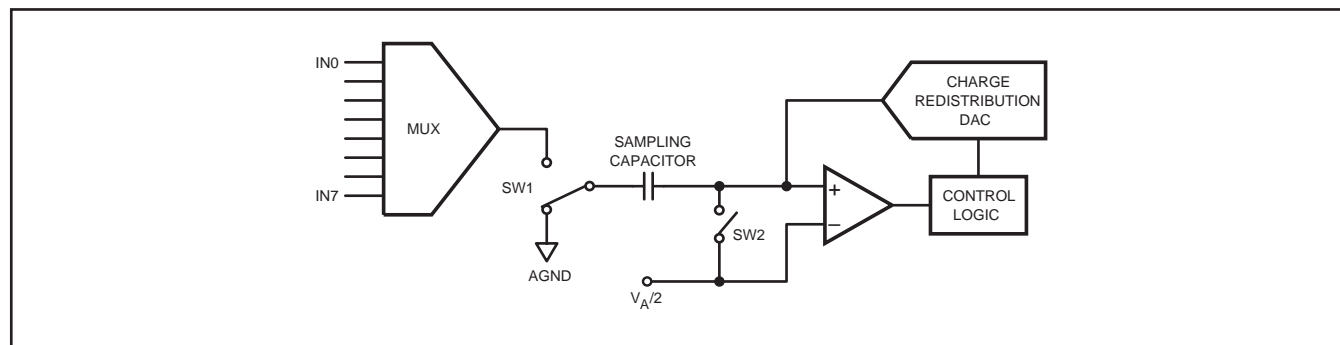


図 36. ホールド・モードのADC108S022

SCLKの最初の3サイクルの間、A/Dコンバータはトラック・モードになっており、入力電圧を取り込みます。SCLKの次の13サイクルでは変換が実行され、同期したデータが出力されます。SCLKの1～4の立ち下がりエッジで先頭のゼロが同期出力され、5～14の立ち下がりエッジで変換結果がMSBを先頭として同期出力され、15と16の立ち下がりエッジで末尾のゼロが同期出力されます。1つのフレーム期間内に2回以上の変換が実行されると（連続変換モード）、A/DコンバータはSCLKのN×16番目の立ち上がりエッジ後のSCLKの立ち下がりエッジでトラック・モードに再び移行し、N×16+4番目のSCLKの立ち下がりエッジでホールド/変換モードに再び移行します（Nは整数）。

ADC108S022は3つの異なった条件でトラック・モードになります。まず、SCLKがHighのときに \overline{CS} をLowにすると、ADCはSCLKの最初の立ち下がりエッジでトラック・モードに移行します（図2参照）。2つ目は、SCLKがLowのときに \overline{CS} をLowにする条件です。この条件では、ADCは自動的にトラック・モードに入り、 \overline{CS} の立ち下がりエッジが、SCLKの最初の立ち下がりエッジと同条件としてみなされます。3つ目は、 \overline{CS} とSCLKは同時にLowとなり、ADCはトラック・モードに入ります。 \overline{CS} とSCLKの立ち下がりエッジに関してタイミング制約がなけれ

ば、SCLKの立ち上がりエッジに関連する \overline{CS} の立ち下がりエッジに対するセットアップとホールド・タイム要件に関しては図4を参照してください。

変換処理中は、 \overline{CS} の立ち下がり後、先頭の8つのSCLK立ち上がりエッジにおいて、次に変換される入力データのアドレスがクロックに同期してDINピン経由で制御レジスタに入力されます（表1、表2、表3を参照）。

ADC108S022では、パワーアップ後の待ち動作やダミー変換サイクルは必要ありません。デバイスはパワーアップ直後の最初の変換から、完全な分解能でアナログ入力を取り込みます。電源投入後の最初の変換結果は、IN0の変換結果になります。

ADC108S022の変換機能

ADC108S022の出力フォーマットはストレート・バイナリ形式です。コード遷移は連続するLSBとLSBの midpoint付近で生じます。ADC108S022のLSBの大きさは $V_A/1024$ です。理想伝達特性を図37に示します。出力コード00 0000 0000からコード00 0000 0001への遷移は1/2LSBまたは $V_A/2048$ のポイントで生じます。以後、1LSBを単位として遷移が発生します。

表 1. 制御レジスタ・ビット

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DONTC	DONTC	ADD2	ADD1	ADD0	DONTC	DONTC	DONTC

表 2. 制御レジスタ・ビットの説明

ビット	シンボル	説明
7, 6, 2, 1, 0	DONTC	Don't careです。これらのビットの値はデバイスの動作には影響を与えません。
5	ADD2	この3ビットで、次の変換サイクルでサンプリングと変換を行う入力チャンネルを指定します。ビット・パターンとチャンネルの対応を表3に示します。
4	ADD1	
3	ADD0	

表 3. 入力チャンネルの選択

ADD2	ADD1	ADD0	Input Channel
0	0	0	IN0 (Default)
0	0	1	IN1
0	1	0	IN2
0	1	1	IN3
1	0	0	IN4
1	0	1	IN5
1	1	0	IN6
1	1	1	IN7

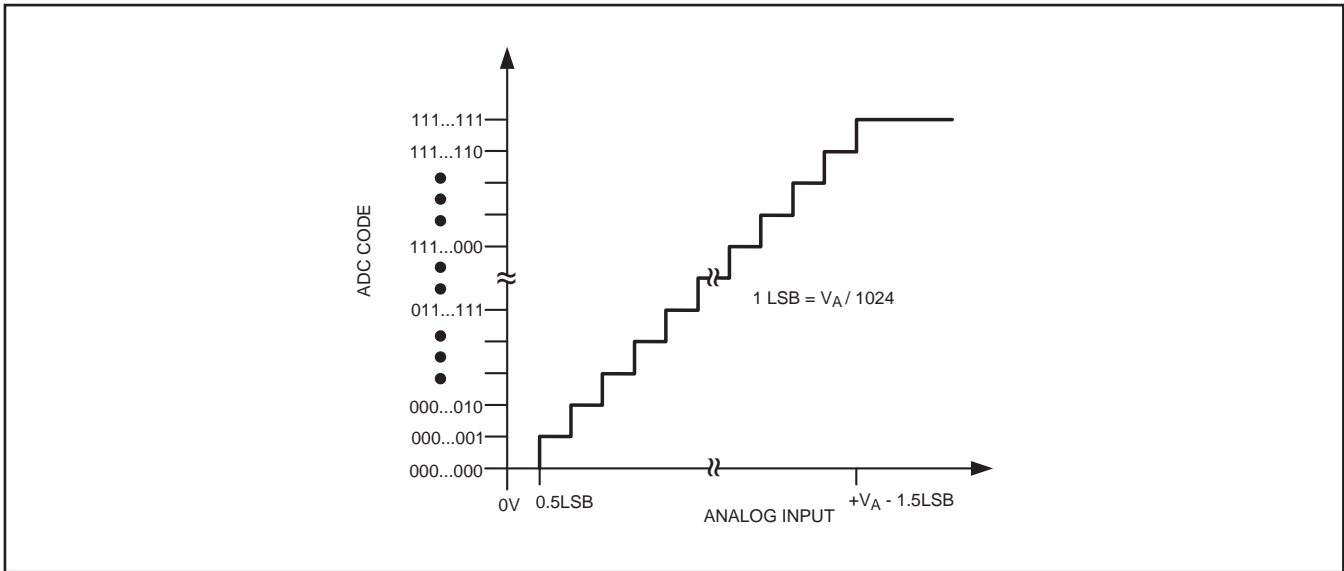


図 37. 理想伝達特性

アナログ入力

ADC108S022の片方の入力チャネルの等価回路を図38に示します。ダイオードD1とD2はアナログ入力のESD保護を目的としています。アナログ入力の動作範囲は $0V \sim V_A$ です。この範囲を超えると、ESDダイオードが導通して、動作不良状態となります。

図38に示すコンデンサC1の代表値は3pFで、これは主にパッケージのピン間容量です。抵抗R1はマルチプレクサとトラック/ホールド回路のスイッチに起因するもので代表値は500Ωです。コンデンサC2はADC108S022のサンプリング・コンデンサで、代表値は30pFです。ADC108S022は低インピーダンスの信号源(100Ω以下)で駆動されたときに最も高い性能を発揮します。このような設計はADC108S022をダイナミック信号のサンプリングに使用する場合は特に重要です。また、ダイナミック信号をサンプリングするときにバンドパス・フィルタまたはローパス・フィルタで高調波や入力のノイズを除去する場合にも重要です。このようなフィルタはアンチ・エイリアス・フィルタと呼ばれます。

デジタル入力とデジタル出力

ADC108S022のデジタル入力 (SCLK、 \overline{CS} 、DIN)の動作範囲は $0V \sim V_A$ です。これらはラッチアップが起こらないよう設計されていますが、デジタルサプライ (V_D)を確定したあとに印加した方がリスクを低減できます。デジタル出力 (DOUT)の動作範囲は V_D によって制御されます。出力のHigh電圧は $V_D - 0.5V$ (min)で、Low電圧は0.4V (max)になります。

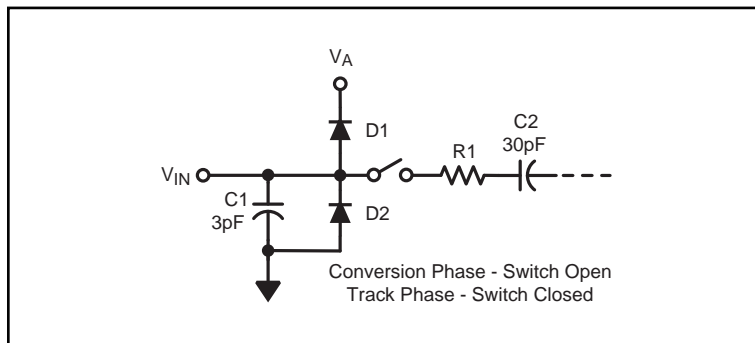


図 38. 等価入力回路

アプリケーション情報

代表的なアプリケーション回路

代表的なアプリケーション回路の例を図39に示します。この例では、TIのLP2950低ドロップアウト電圧レギュレータを用いて、アナログ電圧とデジタル電圧の両方を供給しています。アナログ電源は近くに配置したコンデンサ・ネットワークでバイパスしています。デジタル電源はアイソレーション抵抗を介してアナログ電源と分離し、さらにコンデンサで安定化を図っています。ADC108S022はアナログ電圧 (V_A) をリファレンス電圧として使用するため、 V_A を可能な限りクリーンにすることが重要です。ADC108S022の消費電力は小さいため、高精度な電圧リファレンスを電源として用いることも可能です。

ADC108S022の変化する入力容量起因の誤差を最小化するためには、コンデンサを各入力ピンとグランド間に接続します。トラック・モードにおけるADC108S022の入力容量よりもずっと大きいコンデンサは、ADC108S022のサンプリング・コンデンサを急速に充電するための電流を供給します。負荷容量を入力源から切り離すためには、アイソレーション抵抗を追加します。

電源構成

本製品を扱うには電源に関して3つの点に注意が必要です。電源オン・シーケンスを含む2電源の相対レベル、パワー・マネジメント、アナログ電源に重畳するデジタル電源ノイズの影響です。

電源電圧シーケンス

ADC108S022はデュアル電源のデバイスです。2系統の電源ピンはESD保護回路を共有しているため、電源を適切なシーケンスで印加しなければならない点に注意が必要です。ESDダイオードの導通を避けるため、デジタル電源 (V_D) 電圧はアナログ電源 (V_A) 電圧を300mV以上超えてはなりません。したがって、 V_A は V_D と同時か、またはより早く立ち上がりなければなりません。

パワー・マネジメント

\overline{CS} をLowにするとADC108S022は全面的にパワーアップし、 \overline{CS} をHighにすると全面的にパワーダウンします。ただし、連続変換モードの場合、変換処理の16番目のSCLK立ち下がりエッジから、次の変換処理の1番目のSCLK立ち下がりエッジまでの間は、ADC108S022は自動的にパワーダウン・モードに移ります (図2参照)。

連続変換モードのとき、ADC108S022は連続して複数の変換を実行します。各変換には16SCLKサイクルがかかります。ADC108S022は \overline{CS} がLowの間は変換を継続して実行します。連続モードにすると、最高のスループットが提供されます。

バースト・モードでは単位時間あたりの変換数を減らせば、設計者はスループットと消費電力のどちらかを優先できます。つまり、パワーダウン・モードの時間を長くして、ノーマル・モードの時間を短くします。この技術を使用すると、電気的特性の範囲内でSCLKを使用しながら、非常に低いサンプル・レートが実現できます。「代表的な性能特性」の「消費電力 vs. SCLK」に、ADC108S022の代表的な消費電力のグラフを示します。消費電力 (P_C) は単純に、ノーマル・モードで動作する時間の割合 (t_N) にノーマル・モード時の消費電力 (P_N) を乗算し、シャットダウン・モードで動作する時間の割合 (t_S) にシャットダウン・モード時の消費電力 (P_S) を乗算して、両者を加算すれば求められます (図40参照)。

$$P_C = \frac{t_N}{t_N + t_S} \times P_N + \frac{t_S}{t_N + t_S} \times P_S$$

図 40. 消費電力の式

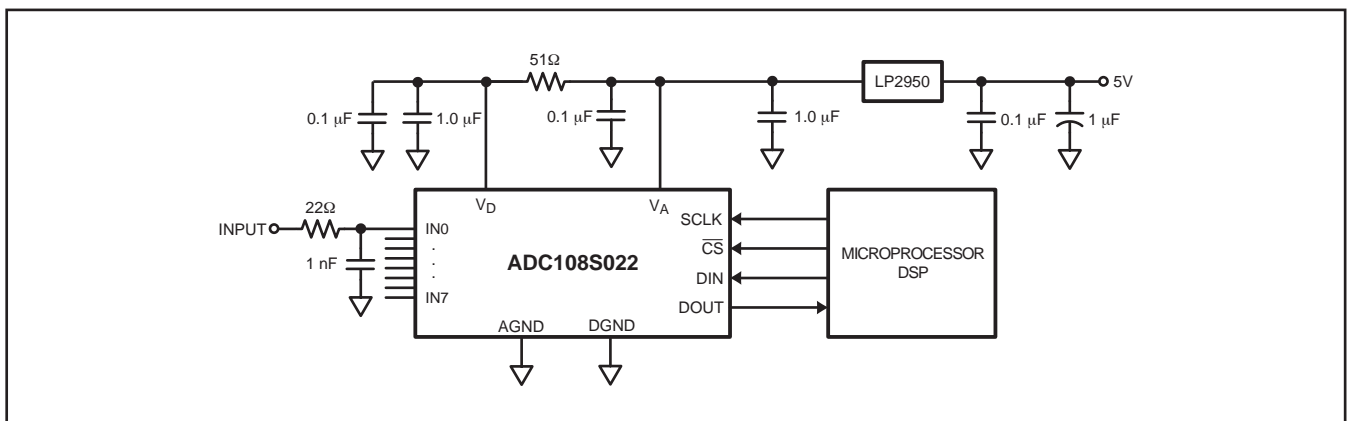


図 39. 代表的なアプリケーション回路

電源ノイズに関する考慮事項

出力負荷容量の充電には、デジタル電源 V_D から電流を供給することが必要です。電源を流れる充電電流パルスによってデジタル電源の電圧は変動します。この変動が十分大きいと、A/DコンバータのS/N比やSINADの性能が低下する可能性があります。また、アナログ電源とデジタル電源が直接接続されている場合、デジタル電源上のノイズがアナログ電源に直接重畳し、デジタル電源側だけにノイズが存在する場合よりも性能低下が大きくなります。さらに、デジタル出力がロジックHighからロジックLowに変化したときに生じる出力容量からの放電によって、ダイ・サブストレートに流れる電流が抵抗を受けて抑えられます。負荷放電電流が大きい場合、ノイズ性能を低下させる「グラウンド・バウンス」がサブストレート内で発生します。出力容量が大きいほど多くの電流がダイ・サブストレートに流れ、アナログ・チャンネルへのノイズ重畳が大きくなります。

対策としては、まずはじめに、アナログ電源とデジタル電源間をデカップリングするか異なる電源系統から供給して、デジタル・ノイズがアナログ電源に混入しないようにしてください。さらに、デジタル電源のノイズ対策と合わせて、出力負荷容量を妥当な範囲で小さくしてください。負荷容量値が50pFを超える場合は、A/Dコンバータの出力に100 Ω の抵抗を直列に接続します。接続位置はA/Dコンバータの出力ピンにできるだけ近い位置にします。抵抗が出力容量の充電電流と放電電流を制限し、ノイズ性能の低下を防ぎます。直列抵抗と負荷容量で低周波数ポールが形成されるため、直列抵抗を追加したら、信号の安定性を確認してください。

レイアウトとグラウンド構成

ノイズの多いデジタル回路とノイズに高感度なアナログ回路との間のS/Eにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

デジタル回路は電源とグラウンドにかなりの過渡電流を発生させます。このようなロジック・ノイズがシステムのノイズ特性に大きく影響を及ぼします。電源ノイズによるADC108S022の性能悪化を避けるため、デジタル・ロジックとADC108S022に同じ電源を使用しないでください。

一般に、アナログ、デジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに90°で交差させるのが望ましいとされています。しかし、高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。さらに、クロック・ラインは伝送線路として扱い、正しく終端してください。

アナログ入力、入力にスプリアス信号がカップリングされないようにノイズの多い信号経路からアイソレートしてください。

コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路(例えば、フィルタ用のコンデンサ)は、グラウンド・プレーン内の非常にクリーンなノイズの少ない1点で接続してください。

推奨は均一なグラウンド・プレーンと電源層を専用に設ける層構成です。電源層は同一の基板層に配置してください。すべてのアナログ回路(入力アンプ、フィルタ、リファレンス回路など)は、アナログ電源層を覆うように配置してください。すべてのデジタル回路とデジタル入出力(I/O)は、デジタル電源層を覆うように配置してください。さらに、リファレンス回路と入力信号チェーンを構成するグラウンドに接続されているすべての部品は、短いトレースを使って接続し、ノイズのない単一点でアナログ・グラウンド・プレーンへ落としてください。

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Top-Side Markings (4)	Samples
ADC108S022CIMT	ACTIVE	TSSOP	PW	16	92	TBD	Call TI	Call TI	-40 to 105	108S022 CIMT	Samples
ADC108S022CIMT/NOPB	ACTIVE	TSSOP	PW	16	92	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 105	108S022 CIMT	Samples
ADC108S022CIMTX	ACTIVE	TSSOP	PW	16	2500	TBD	Call TI	Call TI	-40 to 105	108S022 CIMT	Samples
ADC108S022CIMTX/NOPB	ACTIVE	TSSOP	PW	16	2500	Green (RoHS & no Sb/Br)	CU SN	Level-1-260C-UNLIM	-40 to 105	108S022 CIMT	Samples

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

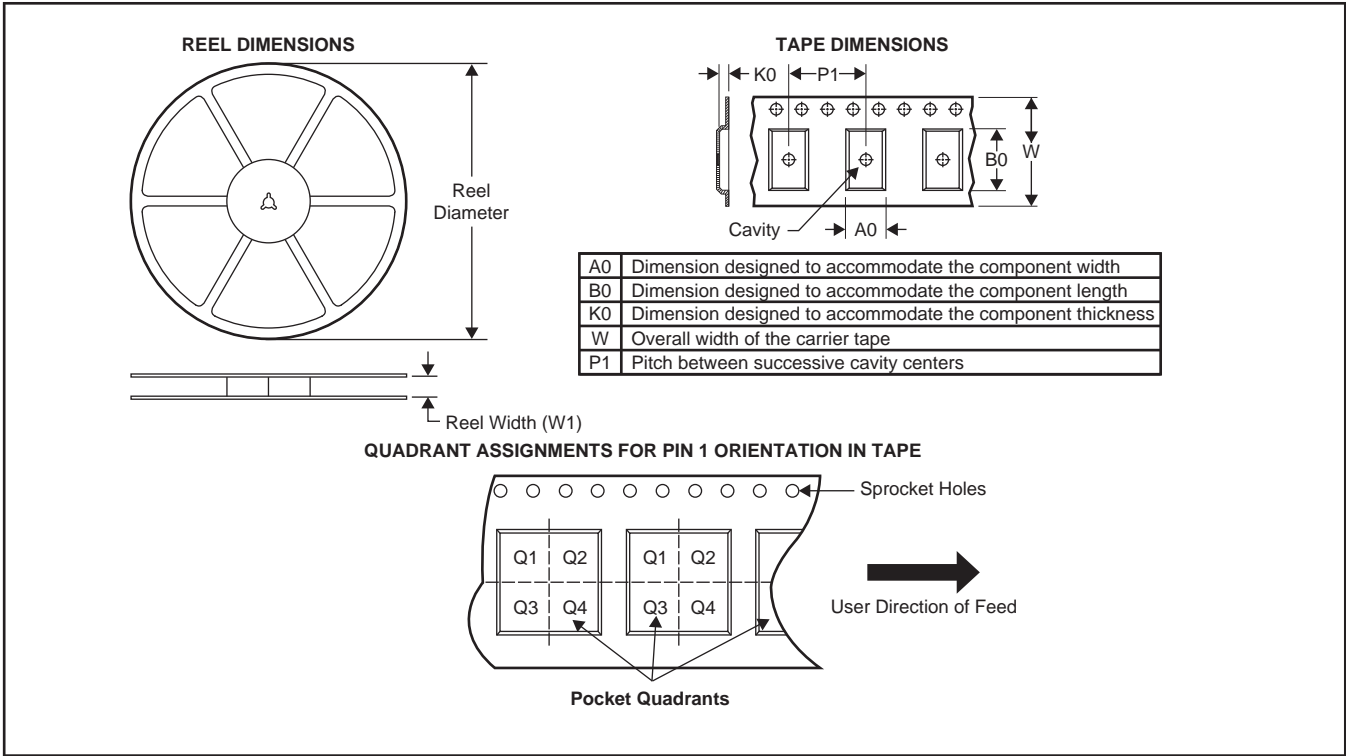
(4) Multiple Top-Side Markings will be inside parentheses. Only one Top-Side Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Top-Side Marking for that device.

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

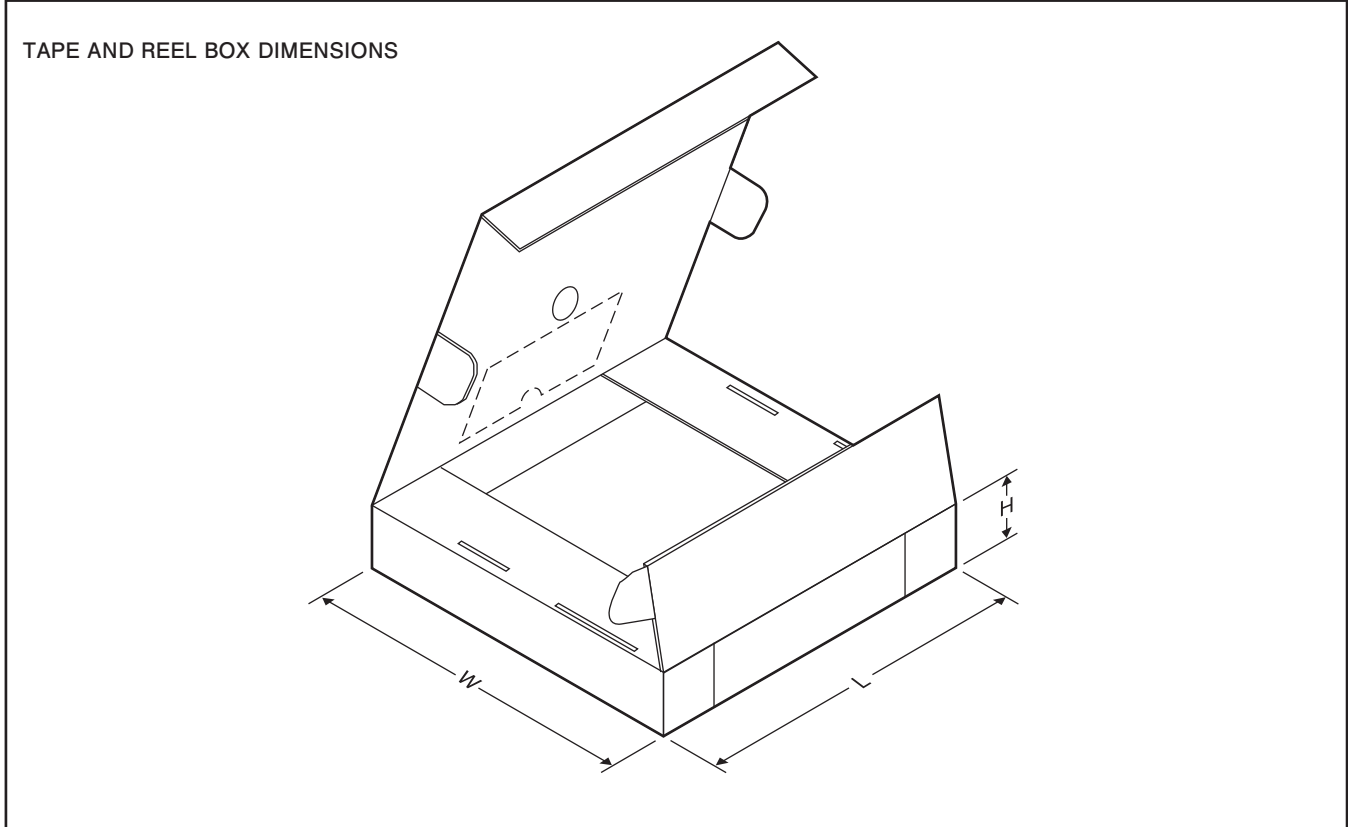
テープおよびリール・ボックス情報



*All dimensions are nominal

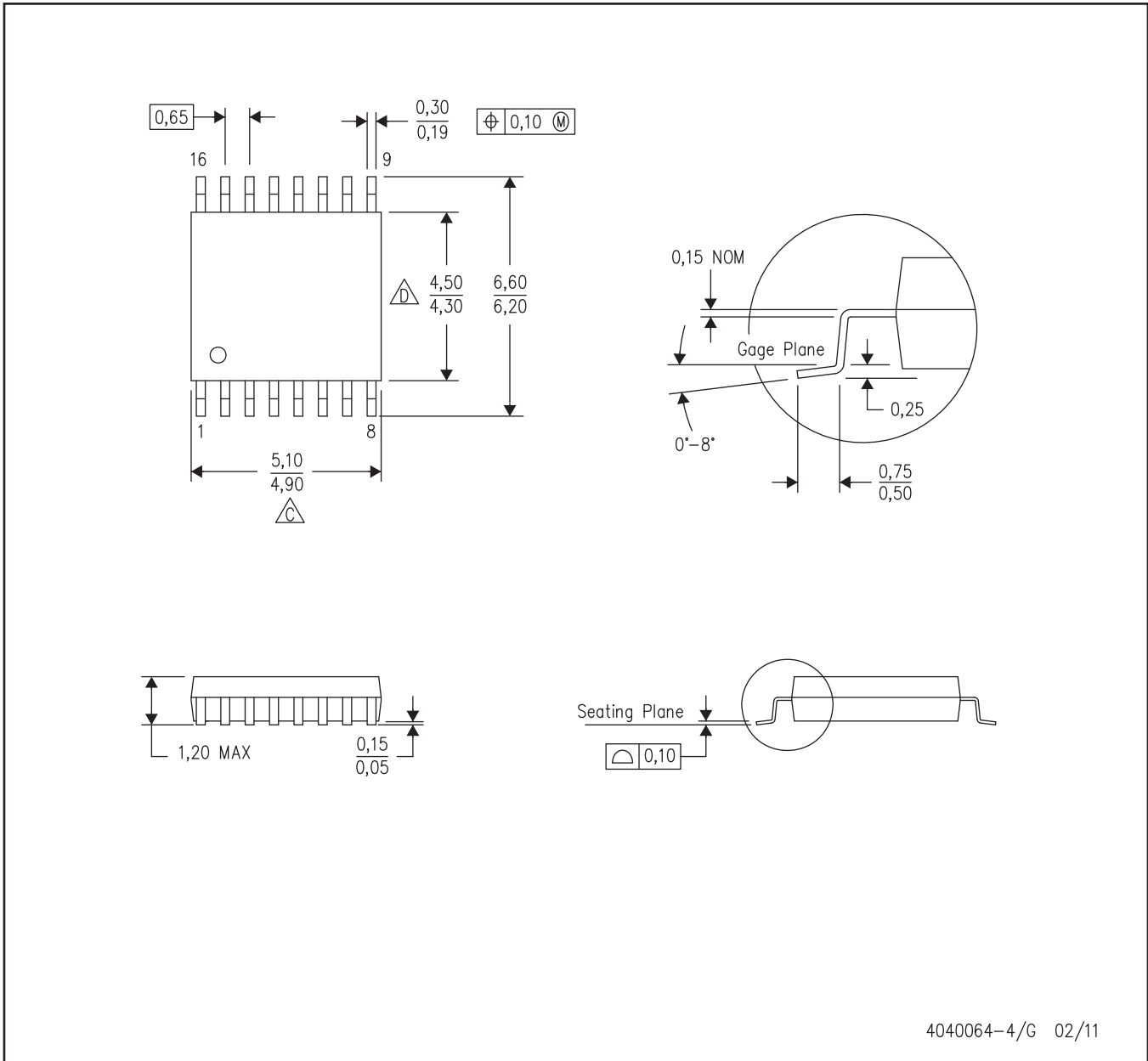
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC108S022CIMTX	TSSOP	PW	16	2500	330.0	12.4	6.95	8.3	1.6	8.0	12.0	Q1
ADC108S022CIMTX/NOPB	TSSOP	PW	16	2500	330.0	12.4	6.95	8.3	1.6	8.0	12.0	Q1

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC108S022CIMTX	TSSOP	PW	16	2500	349.0	337.0	45.0
ADC108S022CIMTX/NOPB	TSSOP	PW	16	2500	349.0	337.0	45.0



4040064-4/G 02/11

注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。

B. 図は予告なく変更することがあります。

△ ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。

△ ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.25mmを超えることはありません。

E. JEDEC MO-153に適合しています。

(SNAS338F)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということが明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関する全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上