

ADC10731,ADC10732,ADC10734,ADC10738

*ADC10731/ADC10732/ADC10734/ADC10738 10-Bit Plus Sign Serial I/O A/D
Converters with Mux, Sample/Hold and Reference*



Literature Number: JAJ5770



2006年4月

ADC10731/ADC10732/ADC10734/ADC10738

10ビット + サイン・シリアル I/O 入力マルチプレクサ、サンプル / ホールドおよび基準電圧内蔵 A/D コンバータ

概要

ADC10731、ADC10732 および ADC10734 は、すでに製造中止、もしくは製造中止予定になっています。参考データとしてのみご利用ください。

10ビット+サイン逐次比較型 CMOS A/D コンバータ・シリーズは、各種モードに対応のアナログ入力マルチプレクサ、サンプル / ホールド (S/H) 回路、2.5V バンドギャップ基準電圧を内蔵しています。ADC10731/2/4/8 は、それぞれ 1、2、4 または 8 入力チャネルのマルチプレクサを内蔵しており、ソフトウェア構成によるシングルエンド・モード、差動モードの動作が可能です。

S/H 回路の入力部は、容量性リファレンス・ラダーとサンプリング・データ・コンバータから構成されています。これにより、A/D 変換サイクル中のアナログ入力の変更を可能にしています。

差動モードでは、10ビット+サイン出力データ形式により、負の入力電圧が正の入力電圧より高い場合でも、有効出力が得られます。

シリアル I/O は、ナショナル セミコンダクター社の MICROWIRE™ シリアル・データ交換標準規格に合わせて構成され、COPS™ および HPC™ コントローラ・ファミリとのインタフェースが容易に実現でき、また標準的なシフト・レジスタおよびマイクロプロセッサとのインタフェースも容易に実現できます。

特長

- 0V のアナログ入力電圧範囲
- シリアル I/O (MICROWIRE 互換)
- ソフトウェアまたはハードウェアによるパワーダウン機能
- アナログ入力サンプル / ホールド機能
- 相対精度 (レシオメトリック) 基準電圧、または絶対精度基準電圧
- ゼロ調整、フルスケール調整不要
- ノーマissing・コード (全温度範囲)
- TTL/CMOS 入出力互換

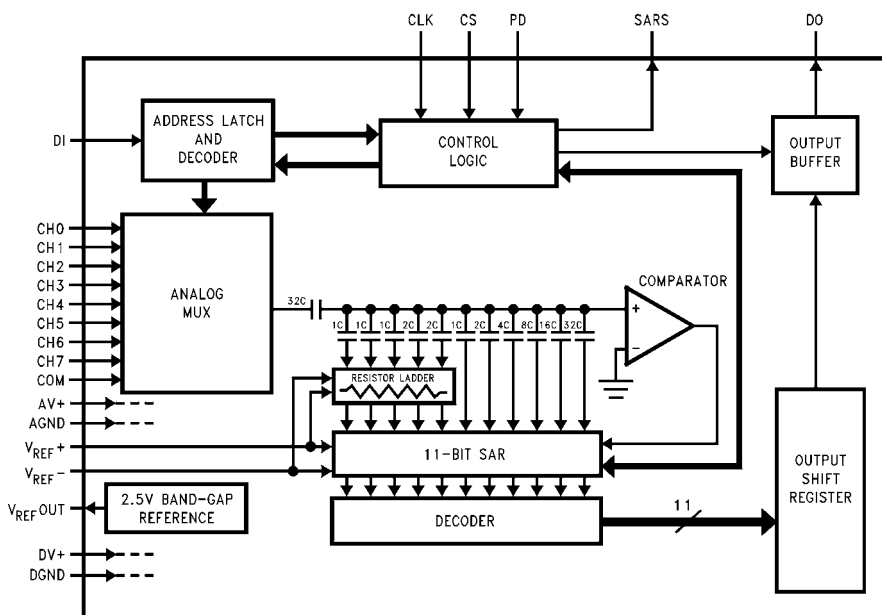
主な仕様

分解能	10ビット+サイン
単一電源	5V
定格消費電力	37mW (最大)
パワーダウン・モード時	18μW
変換時間	5μs (最大)
サンプリング・レート	74kHz (最大)
バンドギャップ基準電圧	2.5V ± 2% (最大)

アプリケーション

- 医療用計測機器
- 携帯用遠隔計測器
- 試験装置

ADC10738 ブロック図

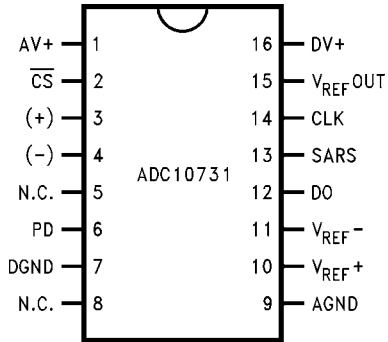


COPS™、HPC™、MICROWIRE™ は、ナショナル セミコンダクター社の商標です。

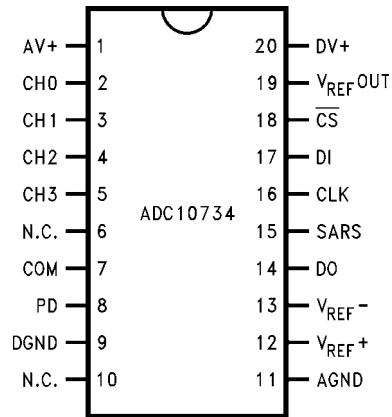
ADC10731/ADC10732/ADC10734/ADC10738 10ビット + サイン・シリアル I/O 入力マルチプレクサ、サンプル / ホールドおよび基準電圧内蔵 A/D コンバータ

ピン配置図

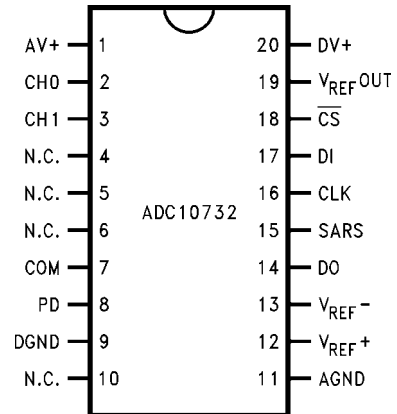
ADC10731、ADC10732 および ADC10734 は、すでに製造中止になっています。ここでは参考のためだけに示してあります。



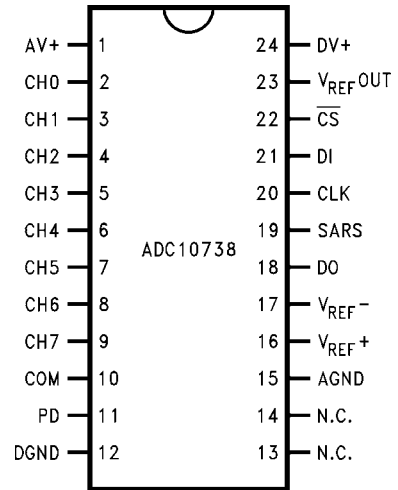
Top View
See NS Package Number M16B



Top View
See NS Package Number M20B

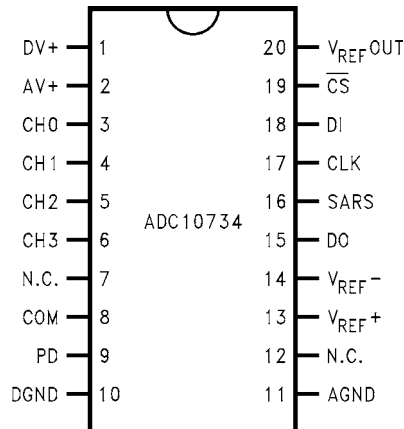


Top View
See NS Package Number M20B



Top View
See NS Package Number M24B

SSOP Package



See NS Package Number MSA20

製品情報

Industrial Temperature Range -40°C ≤ T _A ≤ +85°C	Package
ADC10731CIWM *	M16B
ADC10732CIWM *	M20B
ADC10734CIMS A *	MSA20
ADC10734CIWM *	M20B
ADC10738CIWM	M24B

* 印の製品は、すでに製造中止、もしくは製造中止予定になっています。参考データとしてのみご利用ください。

端子説明

CLK	入力クロック端子。逐次比較変換時間の間隔、アキュイジション時間、シリアル・データ伝送速度を制御します。立ち上がりエッジで、DI 端子のアドレス情報をマルチプレクサ・アドレス・シフト・レジスタにロードし、このアドレスにより、アナログ入力マルチプレクサ (MUX) のチャンネル選択を行います。立ち下がりエッジで、A/D 変換データを DO にシフトアウトします。上記の機能は、 \overline{CS} によりイネーブルまたはディスエーブルされます。この入力クロックの周波数範囲は、5kHz ~ 3MHz です。	CH0-CH7	マルチプレクサ (MUX) のアナログ入力端子。チャンネル入力は DI ピンのアドレス情報により選択され、CLK の立ち上がりエッジでアドレス・レジスタにロードされます (Table 1、2、3 参照)。これらの入力端子の電圧範囲は、AV ⁺ から + 50mV 以内、GND から - 50mV 以内に設定します。非選択チャンネルでこの電圧範囲を超えると、選択チャンネルの信号入力が劣化します。
DI	シリアル・データ入力端子。この端子に取り込まれたデータは、CLK 端子によりマルチプレクサ・アドレス・レジスタにシフトされます。Table 1、2、3 は、マルチプレクサ・アドレスの割当てを示しています。	COM	もう1つのアナログ入力端子。アナログ・マルチプレクサがシングルエンド・モードの場合は、この端子を“擬似グラウンド”として使用できます。
DO	データ出力端子。A/D 変換結果 (DB0-SIGN) は、この端子の CLK 立ち下がりエッジでクロックアウトします。	V _{REF} ⁺	正のアナログ基準電圧入力端子。精度を維持するために、V _{REF} の電圧範囲 (V _{REF} = V _{REF} ⁺ - V _{REF} ⁻) は + 0.5 ~ + 5.0V で、V _{REF} ⁺ の電圧を AV ⁺ から + 50mV 以内に設定します。
\overline{CS}	チップ・セレクト入力端子。論理 “L” 信号が加わると、CLK の立ち上がりエッジで DI 上のデータをアドレス・レジスタにシフトし、また変換終了後に DO の TRI STATE 状態が解除されます。	V _{REF} ⁻	負のアナログ基準電圧入力端子。精度を維持するために、V _{REF} ⁻ は GND から - 50mV 以内、または AV ⁺ から + 50mV 以内に設定します。
PD	パワーダウン入力端子。論理 “H” 信号が加わると A/D コンバータがパワーダウンし、論理 “L” 信号が加わるとパワーアップします。	AV ⁺ , DV ⁺	アナログおよびデジタル電源端子。これらの端子は同一電源に接続し、別個にバイパスします。AV ⁺ および DV ⁺ の動作電圧範囲は + 4.5V _{DC} ~ + 5.5V _{DC} です。
SARS	逐次比較レジスタ・ステータス出力端子。 \overline{CS} が High になると TRI-STATE 状態になります。 \overline{CS} が Low になると、変換中ではアクティブ “H” になり、それ以外ではアクティブ “L” になります。	DGND	デジタル・グラウンド端子。
		AGND	アナログ・グラウンド端子。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ($V^+ = AV^+ = DV^+$)	6.5V
基準電圧 ($V_{REF}^+ - V_{REF}^-$)	6.5V
入出力電圧	$V^+ + 0.3V \sim - 0.3V$
各端子の入力電流 (Note 4)	30 mA
各パッケージの入力電流 (Note 4)	120 mA
$T_A = 25$ におけるパッケージの消費電力 (Note 5)	500 mW
ESD 耐圧 (Note 6)	
人体モデル	2500V
マシン・モデル	150V
ハンダ付け	
SO パッケージ (Note 7)	
ペーパ・フェーズ (60 秒)	215
赤外線 (15 秒)	220
保存温度範囲	- 40 ~ + 150

動作定格 (Note 3、2)

動作温度範囲

T_{MIN}	T_A	T_{MAX}
- 40	T_A	+ 85

電源電圧 ($V^+ = AV^+ = DV^+$)	+ 4.5V ~ + 5.5V
V_{REF}^+	$AV^+ + 50 \text{ mV} \sim - 50 \text{ mV}$
V_{REF}^-	$AV^+ + 50 \text{ mV} \sim - 50 \text{ mV}$
$V_{REF} (V_{REF}^+ - V_{REF}^-)$	+ 0.5V ~ V^+

電気的特性

特記のない限り、以下の仕様は $V^+ = AV^+ = DV^+ = + 5.0V_{DC}$ 、 $V_{REF}^+ = 2.5V_{DC}$ 、 $V_{REF}^- = GND$ 、 $V_{IN}^- = 2.5V$ (符号付き特性)、 $V_{IN}^+ = GND$ (符号なし特性)、 $f_{CLK} = 2.5\text{MHz}$ に対して適用されます。太文字表記のリミット値は、 $T_A = T_J = T_{MIN} \sim T_{MAX}$ の温度範囲で適用され、その他すべてのリミット値は $T_A = T_J = + 25$ に対して適用されます。(Note 8、9、10)

Symbol	Parameter	Conditions	Typical (Note 11)	Limits (Note 12)	Units (Limits)
SIGNED STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10 + Sign	Bits
TUE	Total Unadjusted Error (Note 13)			±2.0	LSB (max)
INL	Positive and Negative Integral Linearity Error			±1.25	LSB (max)
	Positive and Negative Full-Scale Error			±1.5	LSB (max)
	Offset Error			±1.5	LSB (max)
	Power Supply Sensitivity	$V^+ = +5.0V \pm 10\%$			
	Offset Error		±0.2	±1.0	LSB (max)
	+ Full-Scale Error		±0.2	±1.0	LSB (max)
	- Full-Scale Error		±0.1	±0.75	LSB (max)
	DC Common Mode Error (Note 14)	$V_{IN+} = V_{IN-} = V_{IN}$ where $5.0V \geq V_{IN} \geq 0V$	±0.1	±0.33	LSB (max)
	Multiplexer Chan to Chan Matching		±0.1		LSB
UNSIGNED STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10	Bits
TUE	Total Unadjusted Error (Note 13)	$V_{REF+} = 4.096V$	±0.75		LSB
INL	Integral Linearity Error	$V_{REF+} = 4.096V$	±0.50		LSB
	Full-Scale Error	$V_{REF+} = 4.096V$		±1.25	LSB (max)
	Offset Error	$V_{REF+} = 4.096V$		±1.25	LSB (max)
	Power Supply Sensitivity	$V^+ = +5.0V \pm 10\%$			
	Offset Error		±0.1		LSB
	Full-Scale Error	$V_{REF+} = 4.096V$	±0.1		LSB

電気的特性 (つぎ)

特記のない限り、以下の仕様は $V^+ = AV^+ = DV^+ = +5.0V_{DC}$ 、 $V_{REF}^+ = 2.5V_{DC}$ 、 $V_{REF}^- = GND$ 、 $V_{IN}^- = 2.5V$ (符号付き特性)、 $V_{IN}^- = GND$ (符号なし特性)、 $f_{CLK} = 2.5MHz$ に対して適用されます。太文字表記のリミット値は、 $T_A = T_J = T_{MIN} \sim T_{MAX}$ の温度範囲で適用され、その他すべてのリミット値は $T_A = T_J = +25$ に対して適用されます。(Note 8、9、10)

Symbol	Parameter	Conditions	Typical (Note 11)	Limits (Note 12)	Units (Limits)
UNSIGNED STATIC CONVERTER CHARACTERISTICS					
	DC Common Mode Error (Note 14)	$V_{IN}^+ = V_{IN}^- = V_{IN}$ where $+5.0V \geq V_{IN} \geq 0V$	±0.1		LSB
	Multiplexer Channel to Channel Matching	$V_{REF}^+ = 4.096V$	±0.1		LSB
DYNAMIC SIGNED CONVERTER CHARACTERISTICS					
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	$V_{IN} = 4.85 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	67		dB
ENOB	Effective Number of Bits	$V_{IN} = 4.85 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	10.8		Bits
THD	Total Harmonic Distortion	$V_{IN} = 4.85 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	-78		dB
IMD	Intermodulation Distortion	$V_{IN} = 4.85 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	-85		dB
	Full-Power Bandwidth	$V_{IN} = 4.85 V_{PP}$, where S/(N + D) Decreases 3 dB	380		kHz
	Multiplexer Chan to Chan Crosstalk	$f_{IN} = 15 \text{ kHz}$	-80		dB
DYNAMIC UNSIGNED CONVERTER CHARACTERISTIC					
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	$V_{REF}^+ = 4.096V$, $V_{IN} = 4.0 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	60		dB
ENOB	Effective Bits	$V_{REF}^+ = 4.096V$, $V_{IN} = 4.0 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	9.8		Bits
THD	Total Harmonic Distortion	$V_{REF}^+ = 4.096V$, $V_{IN} = 4.0 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	-70		dB
IMD	Intermodulation Distortion	$V_{REF}^+ = 4.096V$, $V_{IN} = 4.0 V_{PP}$, and $f_{IN} = 1 \text{ kHz to } 15 \text{ kHz}$	-73		dB
	Full-Power Bandwidth	$V_{IN} = 4.0 V_{PP}$, $V_{REF}^+ = 4.096V$, where S/(N+D) decreases 3 dB	380		kHz
	Multiplexer Chan to Chan Crosstalk	$f_{IN} = 15 \text{ kHz}$, $V_{REF}^+ = 4.096V$	-80		dB
REFERENCE INPUT AND MULTIPLEXER CHARACTERISTICS					
	Reference Input Resistance		7	5.0 9.5	kΩ kΩ(min) kΩ(max)
C_{REF}	Reference Input Capacitance		70		pF
	MUX Input Voltage			-50 AV⁺ + 50mV	mV (min) (max)
C_{IM}	MUX Input Capacitance		47		pF
	Off Channel Leakage Current (Note 15)	On Channel = 5V and Off Channel = 0V	-0.4	-3.0	μA (max)
		On Channel = 0V and Off Channel = 5V	0.4	3.0	μA (max)

電氣的特性 (つぎ)

特記のない限り、以下の仕様は $V^+ = AV^+ = DV^+ = +5.0V_{DC}$ 、 $V_{REF}^+ = 2.5V_{DC}$ 、 $V_{REF}^- = GND$ 、 $V_{IN}^- = 2.5V$ (符号付き特性)、 $V_{IN}^- = GND$ (符号なし特性)、 $f_{CLK} = 2.5MHz$ に対して適用されます。太文字表記のリミット値は、 $T_A = T_J = T_{MIN} \sim T_{MAX}$ の温度範囲で適用され、その他すべてのリミット値は $T_A = T_J = +25$ に対して適用されます。(Note 8、9、10)

Symbol	Parameter	Conditions	Typical (Note 11)	Limits (Note 12)	Units (Limits)
REFERENCE INPUT AND MULTIPLEXER CHARACTERISTICS					
	On Channel Leakage Current (Note 15)	On Channel = 5V and Off Channel = 0V	0.4	3.0	μA (max)
		On Channel = 0V and Off Channel = 5V	-0.4	-3.0	μA (max)
REFERENCE CHARACTERISTICS					
$V_{REF-Out}$	Reference Output Voltage		2.5V \pm 0.5%	2.5V \pm2%	V (max)
$\Delta V_{REF}/\Delta T$	$V_{REF-Out}$ Temperature Coefficient		\pm 40		ppm/ $^{\circ}C$
$\Delta V_{REF}/\Delta I_L$	Load Regulation, Sourcing	0 mA $\leq I_L \leq$ +4 mA	\pm 0.003	\pm0.05	%/mA (max)
$\Delta V_{REF}/\Delta I_L$	Load Regulation, Sinking	0 mA $\leq I_L \leq$ -1 mA	\pm 0.2	\pm0.6	%/mA (max)
	Line Regulation	5V \pm 10%	\pm 0.3	\pm2.5	mV (max)
I_{SC}	Short Circuit Current	$V_{REF-Out} = 0V$	13	22	mA (max)
	Noise Voltage	10 Hz to 10 kHz, $C_L = 100 \mu F$	5		μV
$\Delta V_{REF}/\Delta t$	Long-term Stability		\pm 120		ppm/kHr
t_{SU}	Start-Up Time	$C_L = 100 \mu F$	100		ms
DIGITAL AND DC CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V^+ = 5.5V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V^+ = 4.5V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 5.0V$	0.005	+2.5	μA (max)
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-0.005	-2.5	μA (max)
$V_{OUT(1)}$	Logical "1" Output Voltage	$V^+ = 4.5V$, $I_{OUT} = -360 \mu A$		2.4	V (min)
		$V^+ = 4.5V$, $I_{OUT} = -10 \mu A$		4.5	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$V^+ = 4.5V$, $I_{OUT} = 1.6 mA$		0.4	V (min)
I_{OUT}	TRI-STATE Output Current	$V_{OUT} = 0V$	-0.1	-3.0	μA (max)
		$V_{OUT} = 5V$	+0.1	+3.0	μA (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$, $V^+ = 4.5V$	-30	-15	mA(min)
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V^+ = 4.5V$	30	15	mA (min)
I_{D+}	Digital Supply Current (Note 17)	$\overline{CS} = HIGH$, Power Up	0.9	1.3	mA (max)
		$\overline{CS} = HIGH$, Power Down	0.2	0.4	mA (max)
		$\overline{CS} = HIGH$, Power Down, and CLK Off	0.5	50	μA (max)
I_{A+}	Analog Supply Current (Note 17)	$\overline{CS} = HIGH$, Power Up	2.7	6.0	mA (max)
		$\overline{CS} = HIGH$, Power Down	3	15	μA (max)
I_{REF}	Reference Input Current	$V_{REF+} = +2.5V$ and $\overline{CS} = HIGH$, Power Up		0.6	mA (max)
AC CHARACTERISTICS					
f_{CLK}	Clock Frequency		3.0	2.5	MHz (max)
			5		kHz (min)
	Clock Duty Cycle			40	%(min)
				60	%(max)
t_C	Conversion Time		12	12	Clock Cycles
			5	5	μs (max)
t_A	Acquisition Time		4.5	4.5	Clock Cycles
			2	2	μs (max)

電気的特性 (つぎ)

特記のない限り、以下の仕様は $V^+ = AV^+ = DV^+ = +5.0V_{DC}$ 、 $V_{REF}^+ = 2.5V_{DC}$ 、 $V_{REF}^- = GND$ 、 $V_{IN}^- = 2.5V$ (符号付き特性)、 $V_{IN}^- = GND$ (符号なし特性)、 $f_{CLK} = 2.5MHz$ に対して適用されます。太文字表記のリミット値は、 $T_A = T_J = T_{MIN} \sim T_{MAX}$ の温度範囲で適用され、その他すべてのリミット値は $T_A = T_J = +25$ に対して適用されます。(Note 8、9、10)

Symbol	Parameter	Conditions	Typical (Note 11)	Limits (Note 12)	Units (Limits)
AC CHARACTERISTICS					
t_{SCS}	\overline{CS} Set-Up Time, Set-Up Time from Falling Edge of CS to Rising Edge of Clock		14 (1 t_{CLK} - 14 ns)	30 (1 t_{CLK} - 30 ns)	ns (min) (max)
t_{SDI}	DI Set-Up Time, Set-Up Time from Data Valid on DI to Rising Edge of Clock		16	25	ns (min)
t_{HDI}	DI Hold Time, Hold Time of DI Data from Rising Edge of Clock to Data not Valid on DI		2	25	ns (min)
t_{AT}	DO Access Time from Rising Edge of CLK When \overline{CS} is "Low" during a Conversion		30	50	ns (min)
t_{AC}	DO or SARS Access Time from \overline{CS} , Delay from Falling Edge of \overline{CS} to Data Valid on DO or SARS		30	70	ns (max)
t_{DSARS}	Delay from Rising Edge of Clock to Falling Edge of SARS when \overline{CS} is "Low"		100	200	ns (max)
t_{HDO}	DO Hold Time, Hold Time of Data on DO after Falling Edge of Clock		20	35	ns (max)
t_{AD}	DO Access Time from Clock, Delay from Falling Edge of Clock to Valid Data of DO		40	80	ns (max)
t_{1H}, t_{OH}	Delay from Rising Edge of \overline{CS} to DO or SARS TRI-STATE		40	50	ns (max)
t_{DCS}	Delay from Falling Edge of Clock to Falling Edge of \overline{CS}		20	30	ns (min)
$t_{CS(H)}$	\overline{CS} "HIGH" Time for A/D Reset after Reading of Conversion Result		1 CLK	1 CLK	cycle (min)
$t_{CS(L)}$	ADC10731 Minimum \overline{CS} "Low" Time to Start a Conversion		1 CLK	1 CLK	cycle (min)
t_{SC}	Time from End of Conversion to \overline{CS} Going "Low"		5 CLK	5 CLK	cycle (min)
t_{PD}	Delay from Power-Down command to 10% of Operating Current		1		μs
t_{PC}	Delay from Power-Up Command to Ready to Start a New Conversion		10		μs
C_{IN}	Capacitance of Logic Inputs		7		pF
C_{OUT}	Capacitance of Logic Outputs		12		pF

Note 1: 「絶対最大定格」とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。

Note 2: 特記のない限り、すべての電圧は GND を基準に測定しています。

Note 3: 「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証されたリミット値および試験条件については、「電気的特性」を参照してください。保証された規格値は記載の試験条件に対してのみ適用されます。また、デバイスを記載の試験条件以外で動作させると、性能特性が低下する場合があります。

Note 4: いずれかの端子で入力電圧 (V_{IN}) が電源電圧範囲を超える場合 ($V_{IN} < GND$ 、 $V_{IN} > AV^+$ または DV^+)、その端子の入力電流を 30mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (120mA) で、電源電圧範囲を超えて 30mA の電流を流せる端子数は 4 本に制限されます。

Note 5: 温度上昇時の動作では、最大消費電力の定格を T_{JMAX} (最大接合部温度)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) を考慮して低減しなければなりません。任意温度における最大許容消費電力は $P_D = (T_{JMAX} - T_A) / J_A$ 、または「絶対最大定格」で示される値のうち、いずれか低い方の値です。このデバイスでは $T_{JMAX} = 150$ になります。下記の表に、基板実装時の各デバイスの代表的な熱抵抗 (J_A) を示します。

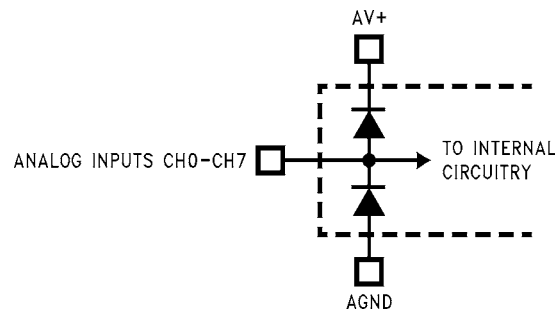
電気的特性 (つぎ)

Part Number	Thermal Resistance	Package Type
ADC10731CIWM	90°C/W	M16B
ADC10732CIWM	80°C/W	M20B
ADC10734CIWSA	134°C/W	MSA20
ADC10734CIWM	80°C/W	M20B
ADC10738CIWM	75°C/W	M24B

Note 6: 使用した試験回路は、人体モデルに基づき 100pF コンデンサから直列抵抗 1.5kΩ を介して各端子に放電させます。マシン・モデルでは、200pF コンデンサから直接各端子に放電させます。

Note 7: その他の表面実装法は、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」、またはナショナル セミコンダクター社の最新版データブックの「表面実装」の項を参照ください。

Note 8: 以下に示すように、2 個のオンチップ・ダイオードが各アナログ入力に接続されています。これらのダイオードは、アナログ入力電圧がグラウンドより 1 ダイオード・ドロップ分以下に下がった時や、電源電圧 (V^+) より 1 ダイオード・ドロップ分以上高くなった時に順方向導通となります。 $V^+ = +4.5V$ の L レベルの試験動作で、アナログ入力が +5V の H レベルになると入力ダイオードが導通し、変換結果に誤差が生じます。特に高温時における $V^+ = +4.5V$ の L レベルの試験動作では注意が必要です。いずれのダイオードも 50mV の順方向バイアスの許容範囲を備えているため、アナログ V_{IN} が電源電圧を 50mV 以上超えない限り、正常な出力コードが得られます。非セレクト・チャンネルでこの電圧範囲を超えると、セレクト・チャンネルの A/D 変換に誤差が生じます。 AV^+ および DV^+ が最小値 (4.55V_{DC}) である場合、フルスケール誤差は +4.55V_{DC} 以下でなければなりません。



Note 9: AV^+ と DV^+ 間是非接続です。

精度を確保するために、 AV^+ と DV^+ は同一電源に接続し、各 V^+ 端子には別個のバイパス・フィルタを接続します。

Note 10: 1LSB は 10 ビットの分解能を基準にします。

Note 11: 代表値 (Typical) は $T_J = T_A = 25^\circ C$ で得られる最も標準的な数値です。

Note 12: テスト・リミット値はナショナル セミコンダクター社の AOQL (平均出荷品質レベル) に基づき保証されています。

Note 13: 無調整の総合誤差にはオフセット誤差、フルスケール誤差、直線性誤差、マルチプレクサ誤差、ホールド・ステップ誤差が含まれます。

Note 14: DC 同相誤差は、“+” と “-” の入力チャンネルを短絡させて、差動マルチプレクサ・モードで測定したものです。

Note 15: チャンネル・リーク電流は、チャンネル選択後に測定したものです。

Note 16: すべてのタイミング仕様は、 $V_{IL} = 0.8V$ (立ち下がりエッジ)、 $V_{IH} = 2.0V$ (立ち上がりエッジ) の TTL 論理レベルでテストされています。TRI-STATE 電圧レベルは 1.4V にセットしています。

Note 17: デジタル入りに電圧が加わると、パワーダウン時に電流ドレインに影響が生じます。これらのデバイスは、CMOS 論理レベル (論理 “L” = 0V、論理 “H” = 5V) でテストされています。TTL レベルはパワーダウン時に電流が約 300μA まで上がります。

電気的特性(つぎ)

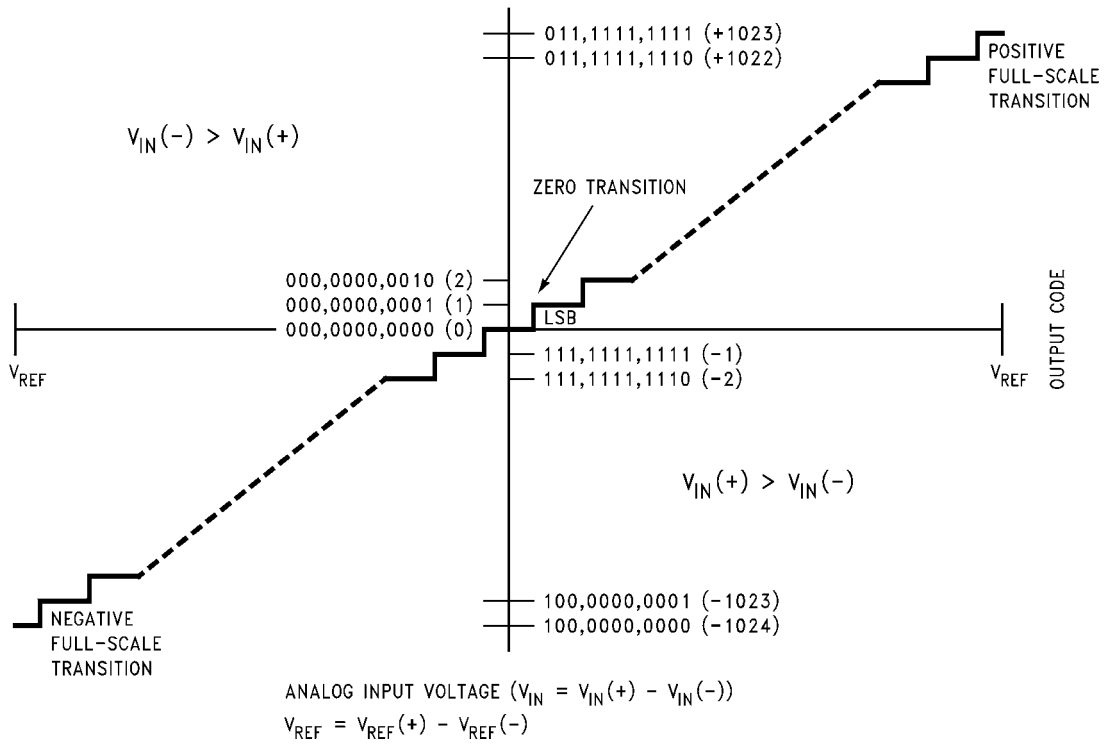


FIGURE 1. Transfer Characteristic

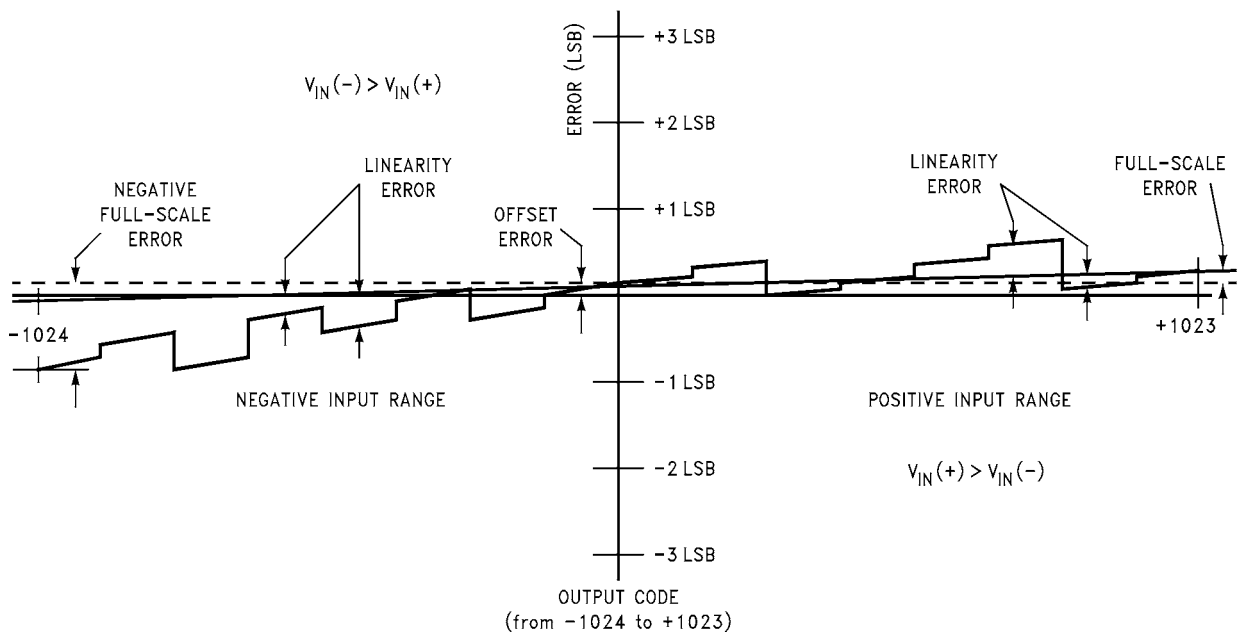
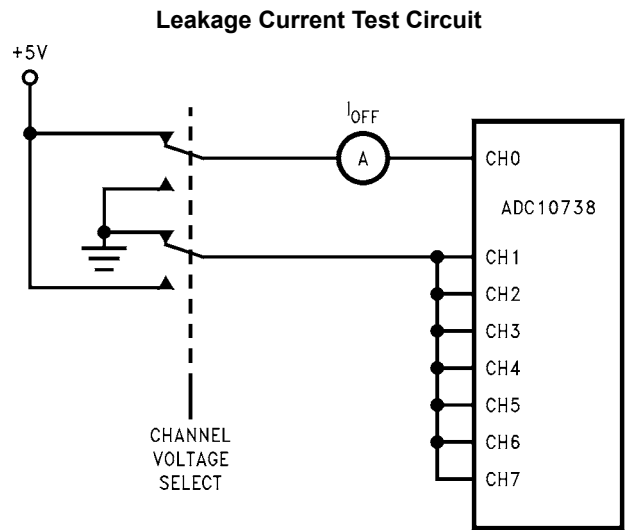
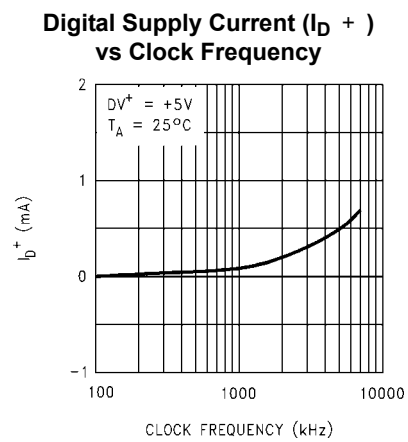
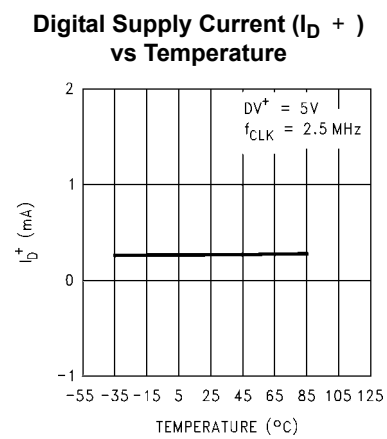
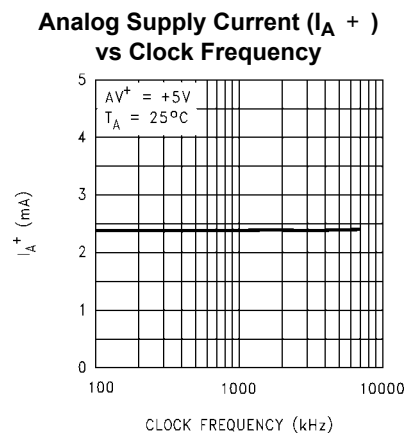
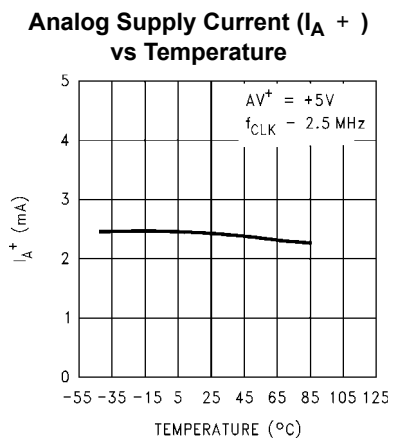


FIGURE 2. Simplified Error Curve vs Output Code

テスト回路

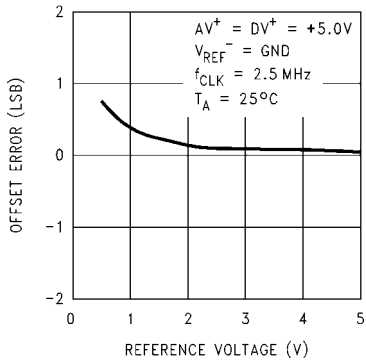


代表的な性能特性

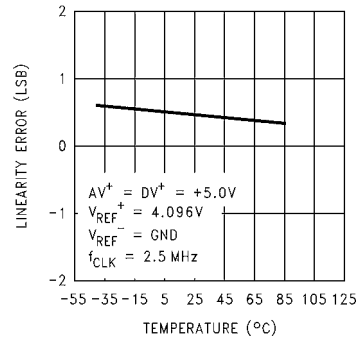


代表的な性能特性 (つづき)

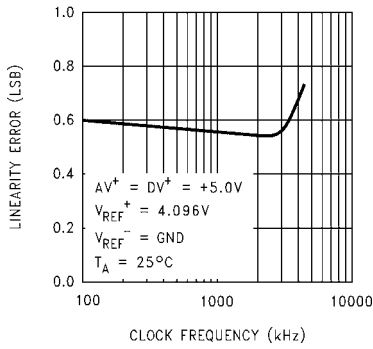
Offset Error vs Reference Voltage



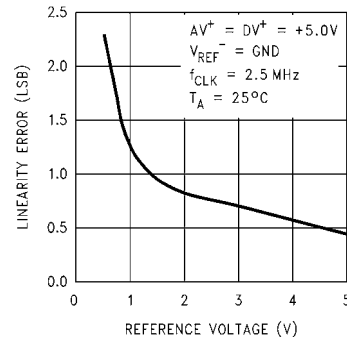
Linearity Error vs Temperature



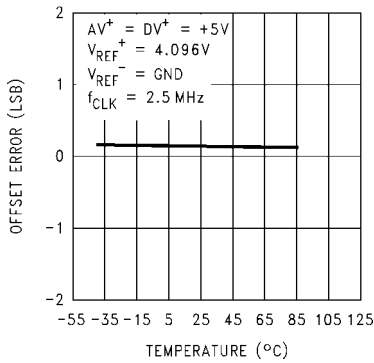
Linearity Error vs Clock Frequency



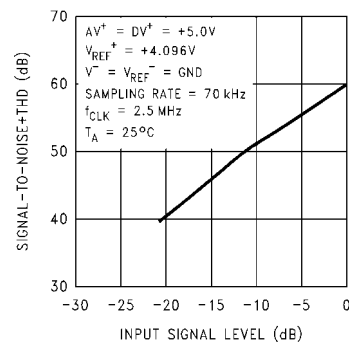
Linearity Error vs Reference Voltage



Offset Error vs Temperature

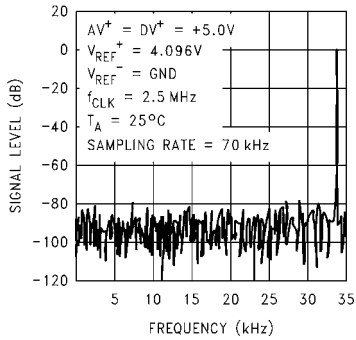


10-Bit Unsigned Signal-to-Noise + THD Ratio vs Input Signal Level

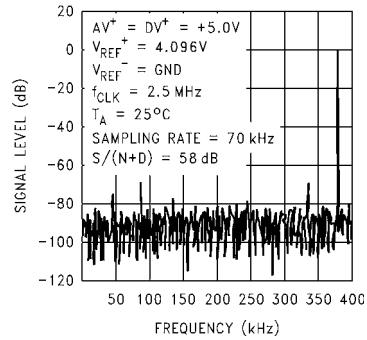


代表的な性能特性 (つづき)

Spectral Response with 34 kHz Sine Wave

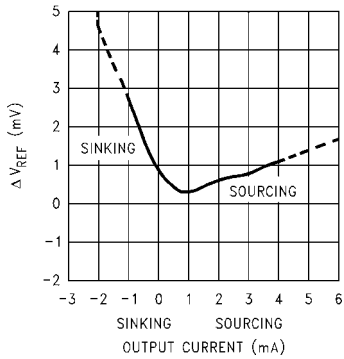


Power Bandwidth Response with 380 kHz Sine Wave

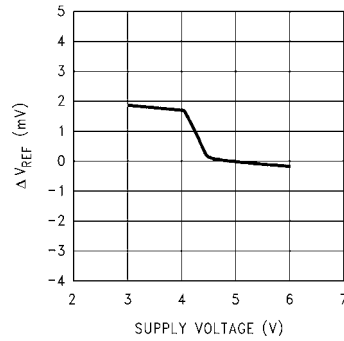


Typical Reference Performance Characteristics

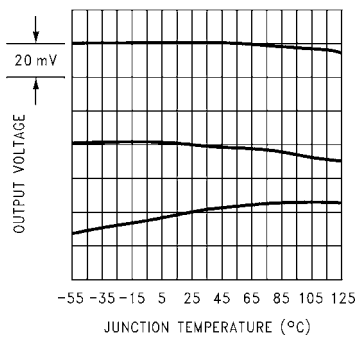
Load Regulation



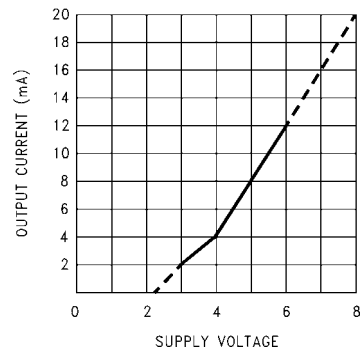
Line Regulation



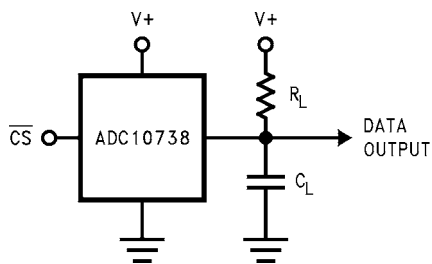
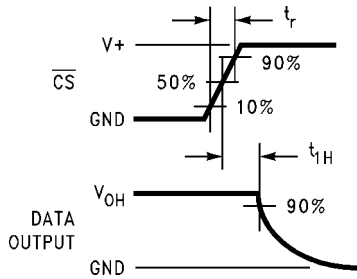
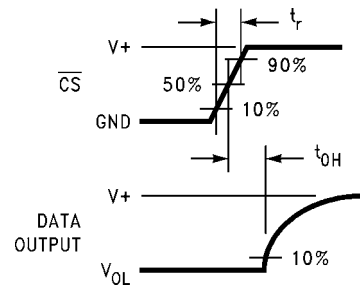
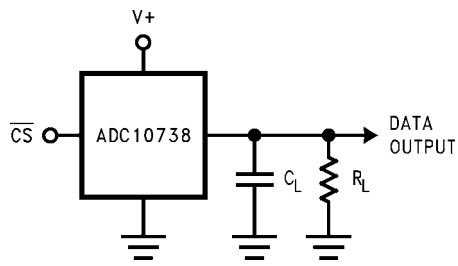
Output Drift vs Temperature (3 Typical Parts)



Available Output Current vs Supply Voltage



TRI-STATE テスト回路と波形



タイミング図

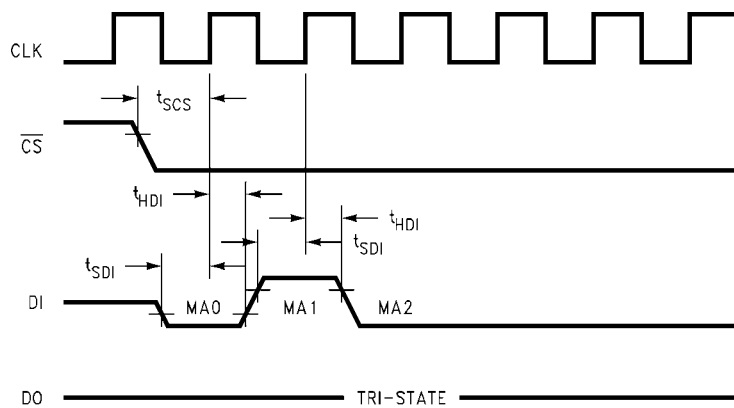


FIGURE 3. DI Timing

タイミング図(つぎ)

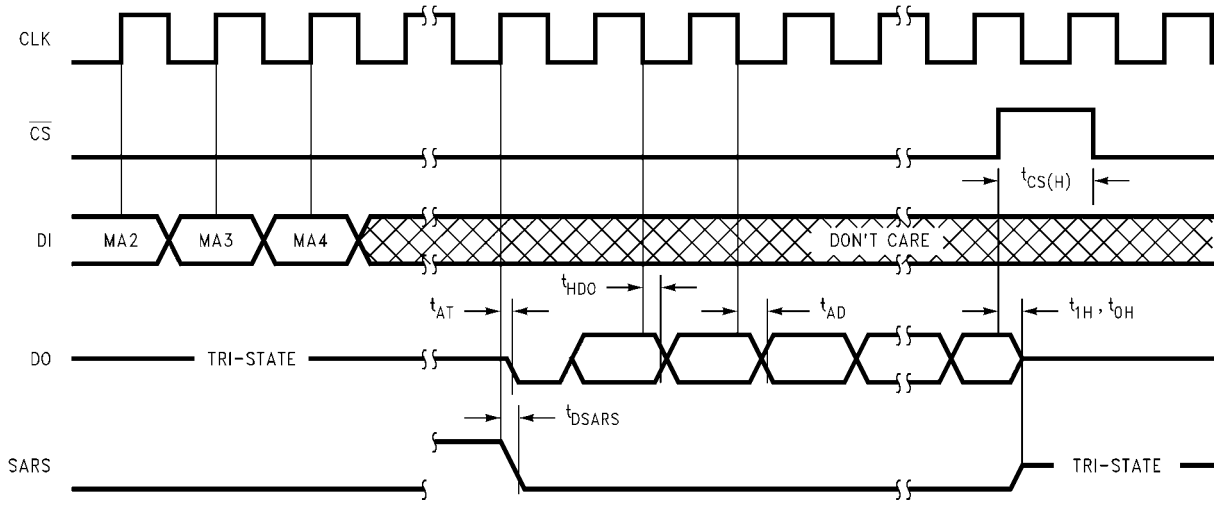


FIGURE 4. DO Timing

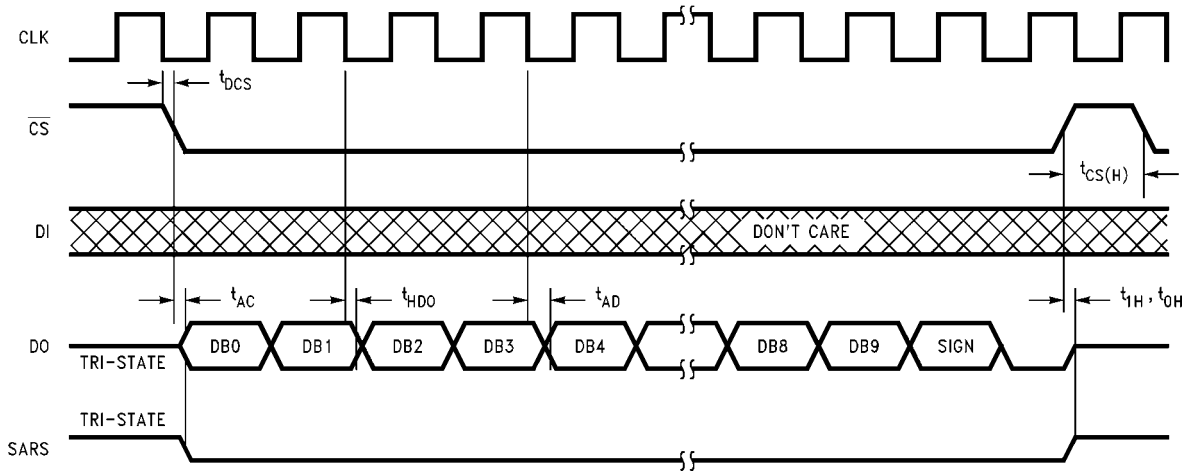


FIGURE 5. Delayed DO Timing

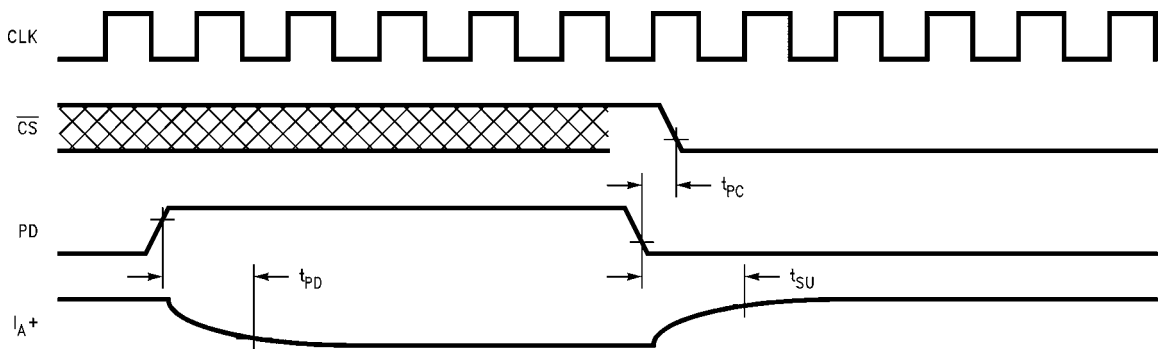


FIGURE 6. Hardware Power Up/Down Sequence

タイミング図(つぎ)

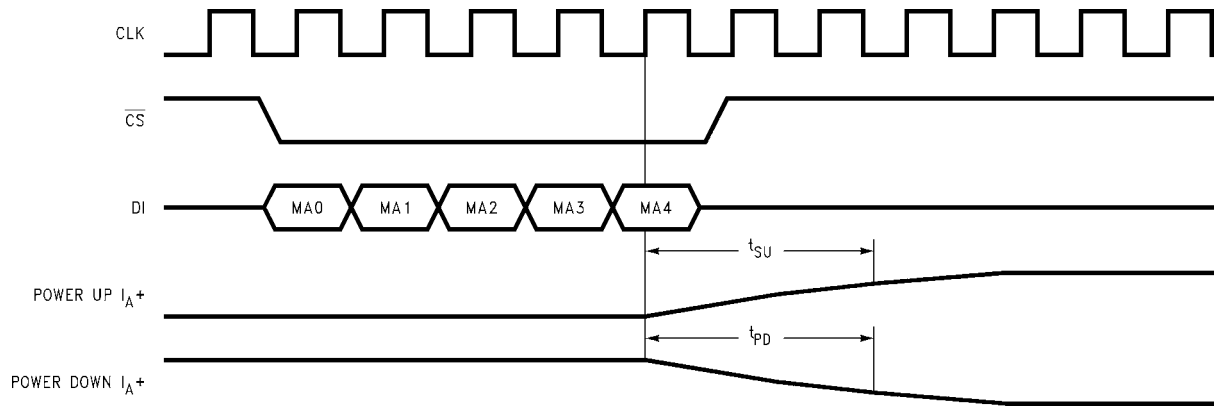
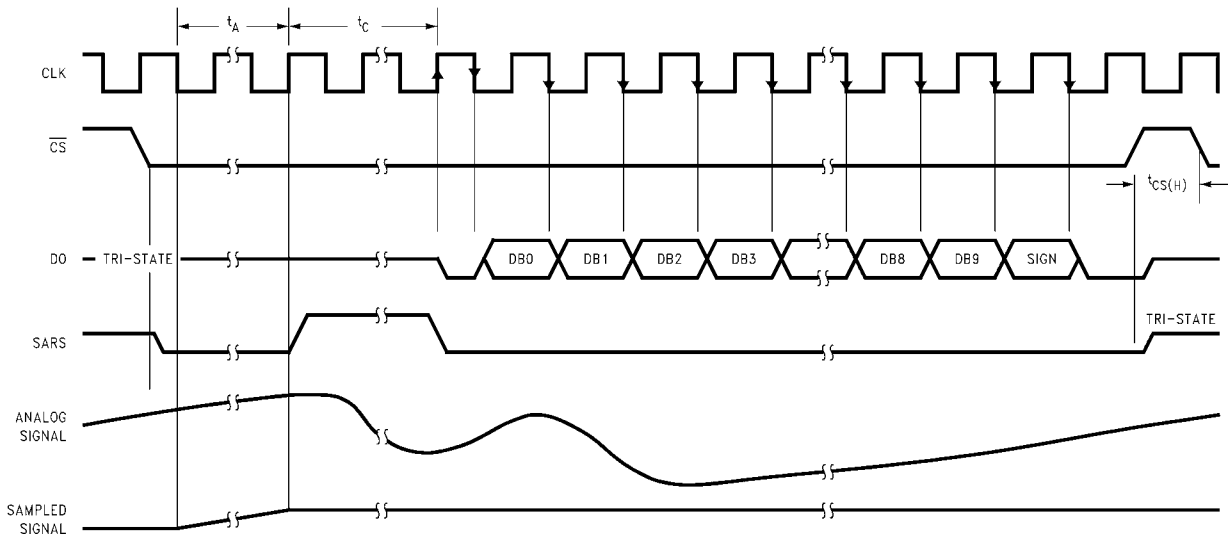


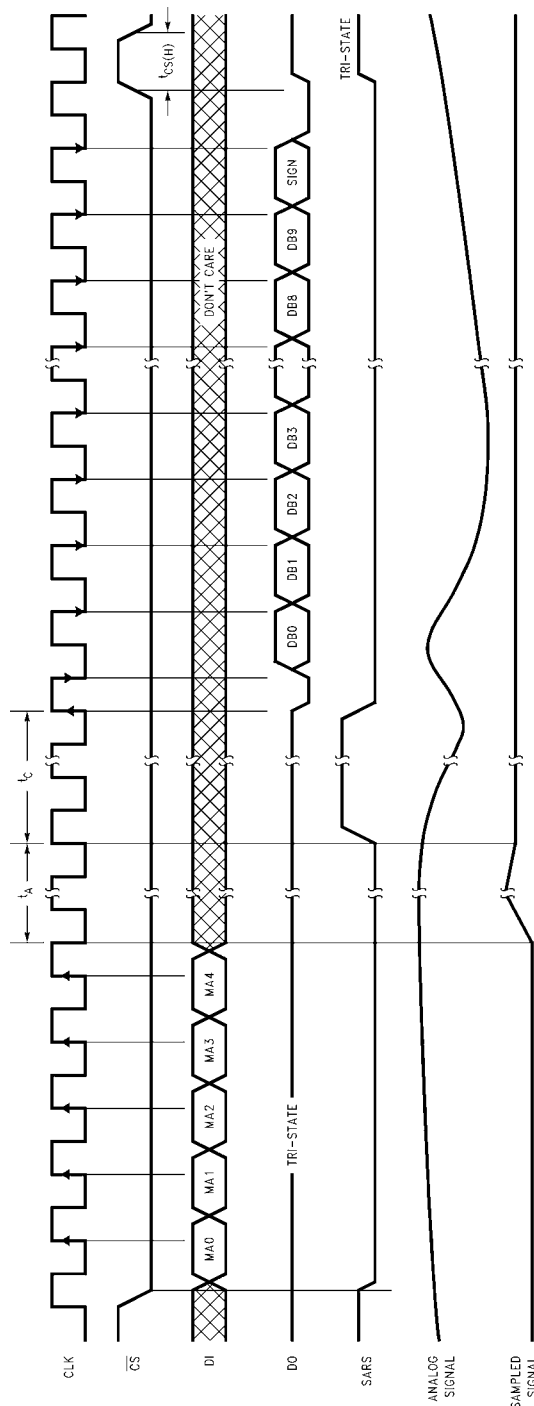
FIGURE 7. Software Power Up/Down Sequence



Note: \overline{CS} は、電源電圧 (AV^+ および DV^+) の立ち上がり時に Low であれば、 $t_{CS(H)}$ の間 High になる必要があります。その時の最初の変換後の出力データは無効です。
ADC10731 はすでに製造中止になっています。ここでは、参考のためだけに示してあります。

FIGURE 8. ADC10731 \overline{CS} Low during Conversion

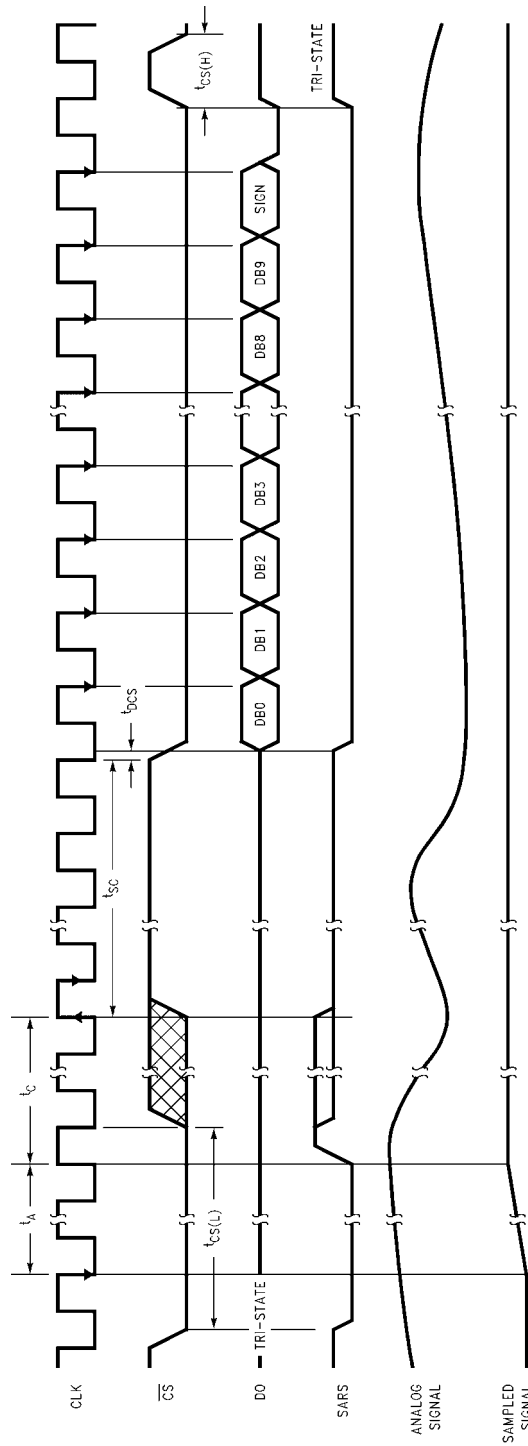
タイミング図(つぎ)



Note: \overline{CS} は、電源電圧 (AV^+ および DV^+) の立ち上がり時に Low であれば、 $t_{CS(H)}$ の間 High になる必要があります。その時の最初の変換後のデータ出力は無効です。ADC10732 および ADC10734 はすでに製造中止になっています。ここでは、参考のためだけに示してあります。

FIGURE 9. ADC10732, ADC10734 and ADC10738 \overline{CS} Low during Conversion

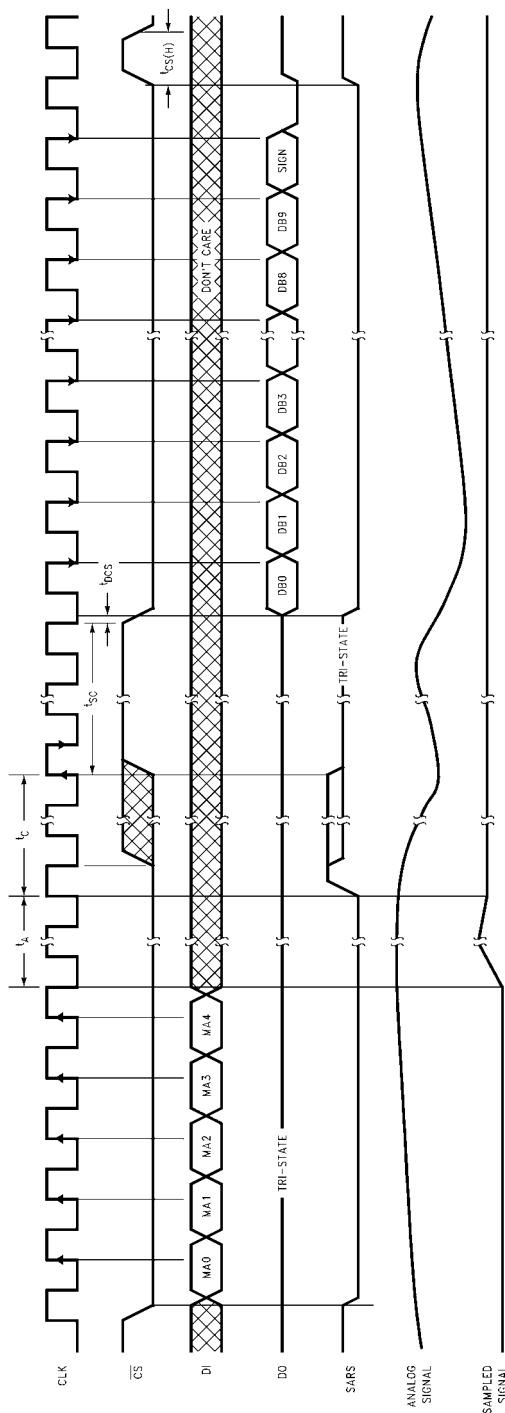
タイミング図(つぎ)



Note: \overline{CS} は、電源電圧 (V^+ および DV^+) の立ち上がり時に Low であれば、 $t_{cs(H)}$ の間 High になる必要があります。その時の最初の変換後のデータ出力は無効です。
ADC10731 はすでに製造中止になっています。ここでは、参考のためだけに示してあります。

FIGURE 10. ADC10731 Using \overline{CS} to Delay Output of Data after a Conversion has Completed

タイミング図(つぎ)



Note: CS は、電源電圧 (A_V^+ および D_V^+) の立ち上がり時に Low であれば、 $t_{CS(1)}$ の間 High になる必要がありません。その時の最初の変換後のデータ出力は無効です。ADC10732 および ADC10734 はすでに製造中止になっています。ここでは、参考のためだけに示してあります。

FIGURE 11. ADC10732, ADC10734 and ADC10738 Using CS to Delay Output of Data after a Conversion has Completed

TABLE 1. ADC10738 Multiplexer Address Assignment

MUX Address					Channel Number									MUX MODE
MA0	MA1	MA2	MA3	MA4	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM	
PU	SING/ DIFF	ODD/ SIGN	SEL1	SEL0										
1	1	0	0	0	+								-	Single-Ended
1	1	0	0	1			+						-	
1	1	0	1	0					+				-	
1	1	0	1	1							+		-	
1	1	1	0	0		+							-	
1	1	1	0	1				+					-	
1	1	1	1	0						+			-	
1	1	1	1	1								+	-	
1	0	0	0	0	+	-								Differential
1	0	0	0	1			+	-						
1	0	0	1	0					+	-				
1	0	0	1	1							+	-		
1	0	1	0	0	-	+								
1	0	1	0	1			-	+						
1	0	1	1	0					-	+				
1	0	1	1	1							-	+		
0	X	X	X	X	Power Down (All Channels Disconnected)									

TABLE 2. ADC10734 Multiplexer Address Assignment

MUX Address					Channel Number					MUX MODE
MA0	MA1	MA2	MA3	MA4	CH0	CH1	CH2	CH3	COM	
PU	SING/ DIFF	ODD/ SIGN	SEL1	SEL0						
1	1	0	0	0	+				-	Single-Ended
1	1	0	0	1			+		-	
1	1	1	0	0		+			-	
1	1	1	0	1				+	-	
1	0	0	0	0	+	-				Differential
1	0	0	0	1			+	-		
1	0	1	0	0	-	+				
1	0	1	0	1			-	+		
0	X	X	X	X	Power Down (All Channels Disconnected)					

TABLE 3. ADC10732 Multiplexer Address Assignment

MUX Address					Channel Number			MUX MODE
MA0	MA1	MA2	MA3	MA4	CH0	CH1	COM	
PU	SING/DIFF	ODD/SIGN	SEL1	SEL0				
1	1	0	0	0	+		-	Single-Ended
1	1	1	0	0		+	-	
1	0	0	0	0	+	-		Differential
1	0	1	0	0	-	+		
0	X	X	X	X	Power Down (All Channels Disconnected)			

アプリケーション・ヒント

ADC10731、ADC10732 および ADC10734 はすでに製造中止になっています。ここでは、参考のためだけに示してあります。

ADC10731/2/4/8 は、逐次比較方式を使用してアナログ入力電圧をデジタル化します。A/D コンバータの DAC 部は、コンデンサ・アレイと抵抗ラダーから構成されています。この DAC 構成により、スイッチング方式を簡略化し、また S/H 回路を含め多様性に富むアナログ入力チャネル・マルチプレクサを実現しています。ADC10731/2/4/8 は、2.5V CMOS バンドギャップ基準電圧を内蔵しています。シリアル・デジタル I/O は、MICROWIRE および MICROWIRE + にインタフェースします。

1.0 デジタル・インタフェース

2 種類の動作モードがあります。変換時に \overline{CS} を Low に保持すると、最大スループット・レートが得られます。Figure 8 と 9 のタイミング図は、このモードでのデバイス動作を示すものです。変換ごとに \overline{CS} を最低 $t_{CS(H)}$ (1CLK 周期) 間 High にする必要があり、この時に内部論理回路がリセットされます。Figure 10 と 11 は、ADC10731/2/4/8 が変換時に \overline{CS} を High にした場合のデバイス動作を示しています。 \overline{CS} は、変換時に任意の時間 High 状態に保持できるため、出力データに遅延を加えることが可能です。このモードでは、ADC10731/2/4/8 が変換中でビジー状態にあるとき、他のデバイスとのインタフェースが容易になります。

1.1 変換の開始

ADC10731/2/4/8 は、電源電圧の印加後に初期化する必要があります。 \overline{CS} は、電源電圧の印加時に Low であれば、最低 $t_{CS(H)}$ (1 クロック周期) 間 High にする必要があります。最初の変換後のデータ出力は無効になります。

1.2 ソフトウェアおよびハードウェアのパワーアップ/ダウン機能

ADC10731/2/4/8 は、ソフトウェアまたはハードウェアによるパワーダウン機能を内蔵しています。Figure 6 と 7 は、ハードウェアおよびソフトウェアによるパワーアップ / ダウンのタイミング図です。ハードウェアによるパワーダウンの場合、PD が Low になってから t_{PC} 間、 \overline{CS} が High になる必要があります。PD が High になると、デ

バイスはパワーダウンします。パワーダウン時の待機時全消費電流は通常 2.5MHz のクロックで 200 μ A、クロック・オフで 3 μ A になります。パワーダウン時でのデバイスの消費電力は、デジタル入力での実際の電圧レベルの影響を受けます。電流ドレインは、CMOS 論理レベルでは電流が最小値 (3 μ A) になり、TTL 論理レベルでは全電流が 200 μ A まで増加します。

これらのデバイスは、2.5V 基準電圧で 600 μ A を引き出す抵抗リファレンス・ラダーを備えています。内部バンドギャップ基準電圧は、パワーダウンになるとシャットダウンします。外部基準電圧を使用している場合、外部基準電圧をシャットダウンしてデバイスの全電流ドレインを最小限に抑える必要があります。

2.0 アーキテクチャ

変換が開始される前、データ・サンプリング・コンパレータはアナログ入力のサンプリング期間にゼロ調整されます。コンパレータがゼロ調整されている間、“+” 割当ての入力チャネルが A/D コンバータの入力コンデンサに接続されます。(入力の極性割当てについては、「端子説明」を参照ください。)これにより、DAC 入力のコンデンサ 32C がその正のアナログ入力電圧まで充電されます。Figure 12 の DAC 部のスイッチ・アレイは、このゼロ調整 / アクイジション期間に設定されます。コンパレータの入力電圧と出力電圧は、この時点で平衡状態になっています。変換が開始すると、コンパレータのフィードバック・スイッチがオフになり、入力コンデンサ 32C が負の入力電圧に切り換わります。コンパレータのフィードバック・スイッチがオフになると、一定量の電荷がコンデンサの共通プレートに蓄積されます。入力コンデンサ 32C が負の入力電圧に切り換わると、コンパレータの入力電圧は平衡状態から離れ、コンパレータの出力が High (“1”) または Low (“0”) になります。次に、SAR (逐次比較レジスタ) がコンデンサ・アレイにあるコンデンサの片側電圧を切り換え、コンパレータの出力状態によりコンデンサ・アレイに電荷を再配分するアルゴリズムを実行します。このアルゴリズムは、コンパレータの入力電圧を可能な限り平衡状態に戻します。

逐次比較ルーチン終了時のスイッチ位置情報は、直接デジタル出力を表しています。さらに、この情報は DO 端子にシフトされます。

アプリケーション・ヒント(つぎ)

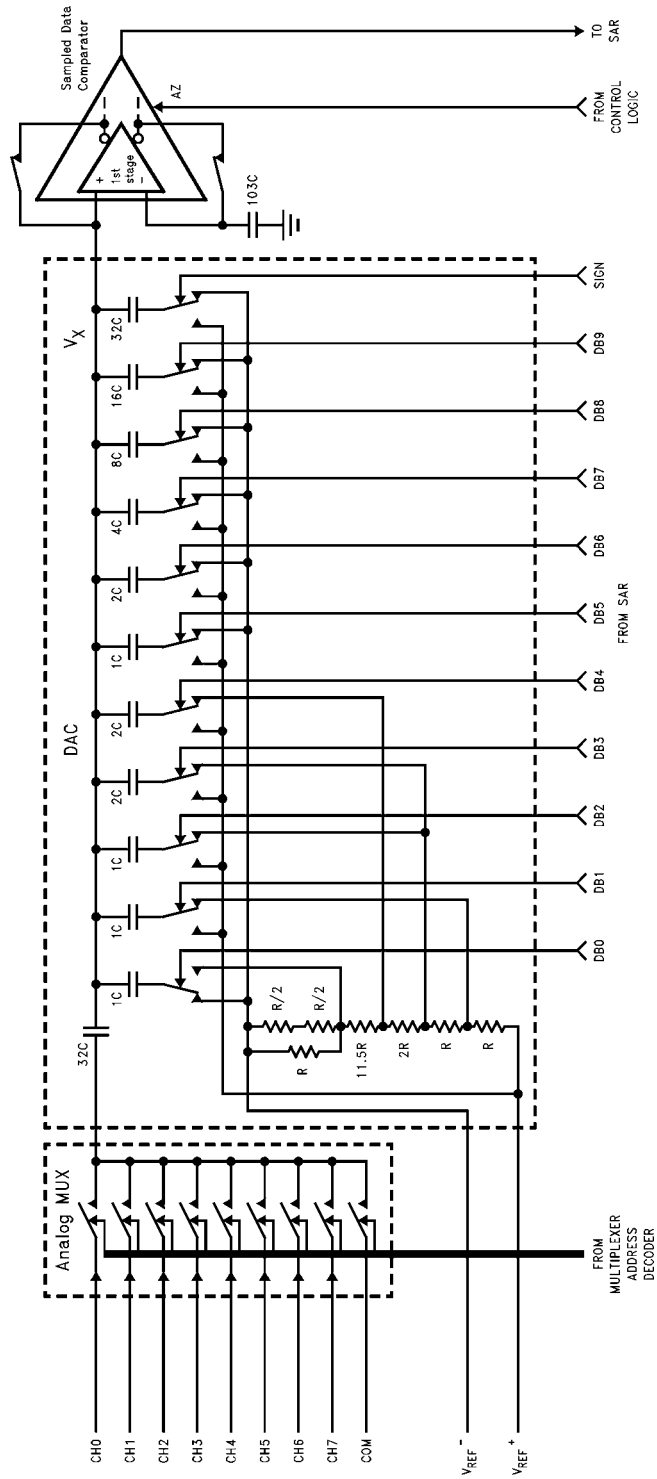


FIGURE 12. Detailed Diagram of the ADC10738 DAC and Analog Multiplexer Stages

アプリケーション・ヒント (つづき)

3.0 アプリケーション情報

3.1 マルチプレクサの構成

このコンパレータの設計では、A/D 変換用の差動アナログ入力信号を逐次比較ルーチンに取り込むデータ・サンプリング・コンパレータを採用しています。

変換中の実際の電圧は常に、“+” 入力端子と“-” 入力端子間の電圧差になります。変換中の各入力端子の極性、または入力端子ペアの極性は、コンパレータがどちらの入力ラインの電圧が高いのかを示します。

複数のアナログ・チャネルに対応するために、独自の入力マルチプレクシング方式を採用しています。入力チャネルのモードは、ソフトウェアにより選択でき、差動、シングルエンド、疑似差動の 3 種類のモードがあります。Figure 13 は、ADC10734 の 4 チャネル・マルチプレクサを使用した 3 種類のモードを示しています。また、ADC10738 の 8 入力チャネル・マルチプレクサの場合でも、この 3 種類のモードから任意のモードを選択できます。シングルエンド・モードの場合、CH0 ~ CH3 が“+” 入力に、COM が“-” 入力に割り当てられます。差動モードの場合、ADC10734 のチャネル入力 CH0 ~ CH3 は CH0 と CH1、CH2 と CH3 のペアでグループ化されます。各チャネル・ペアの極性には互換性があります。疑似差動モードの場合、CH0 ~ CH3 は COM を基準とする“+” 入力になり、COM は疑似グラウンドになります。この疑似グラウンド入力は、コンパレータの入力同相範囲内であれば任意の電位に設定できます。このように、入力構成に柔軟に対応できるため、トランスデューサ方式のデータ・アクイジション・システムで必要とするアナログ信号の環境設定を大幅に簡素化できます。1 個のコンパレータ・パッケージで、グラウンド基準入力と真の差動入力、また同時に特定電圧を基準とする信号に対応できます。

各チャネルのアナログ入力電圧許容範囲は、GND - 50mV より $V^+ + 50mV$ 、(ただし $V^+ = DV^+ = AV^+$) で、変換精度の悪化は生じません。非選択チャネルの電圧がこの許容範囲を超えると、選択チャネルの信号入力が劣化する場合があります。

3.2 基準電圧の考慮事項

V_{REF}^+ と V_{REF}^- 入力間の電圧差により、アナログ入力電圧範囲 ($V_{IN}(\text{Max})$ と $V_{IN}(\text{Min})$ の差) を定義します。この範囲内で 1023 (+) および 1024 (-) 種類の出力コードが使用されます。

V_{REF}^+ または V_{REF}^- の各入力の電圧値は、 V_{REF}^+ が V_{REF}^- より大きい限り、 $AV^+ + 50mV \sim -50mV$ の範囲内の任意の値に設定できます。ADC10731/2/4/8 は、レシオメトリックのアプリケーションや絶対精度を必要とするシステムのいずれかで使用できます。基準電圧ピンは、5k の最小基準入力抵抗をドライブする電圧源に接続します。

ADC10731/2/4/8 に内蔵の 2.5V バンドギャップ基準電圧は、 V_{REF}^{Out} 端子の出力に使用可能です。最適な性能を得るために、この出力は 100 μ F のアルミニウム電解コンデンサまたはタンタル・コンデンサを用いてグラウンドにバイパスします。基準電圧出力は、容量性負荷が 100pF 以上または 100 μ F 以下の場合不安定になる可能性があります。ただし、100pF 以下および 100 μ F 以上のコンデンサを使用した場合、発振は起こりません。出力ノ

イズは、出力容量を増やせば低減できます。100 μ F のコンデンサを使用すると、ノイズ・フロアの代表値が

$$200 \text{ nV}/\sqrt{\text{Hz}}$$

になります。疑似差動マルチプレクサおよび差動マルチプレクサ・モードの場合、“-” 入力端子に実際に加わる電圧により“ゼロ”基準電圧が設定されるため、柔軟なアナログ入力電圧範囲が得られます。

レシオメトリックのシステム (Figure 14) では、アナログ入力電圧は A/D 基準電圧として使用する電圧に比例します。この電圧は、システム電源としても使用できるため、 $V_{REF}^+ \wedge AV^+$ を接続することも可能です。アナログ入力電圧と A/D 基準電圧は、一定の入力条件で同一の出力コードを維持しながら同時に変動するので、システム基準電圧の安定条件が緩和されます。

絶対精度のシステム (Figure 15) では、アナログ入力電圧は極く限られた電圧リミット値間で変動しますが、基準電圧端子は、優れた初期精度を備えていて、時間および温度に対して安定した電圧源でバイアスをかける必要があります。LM4040、LM4041、LM185 の基準電圧は、ADC10731/2/4/8 での使用に適しています。

V_{REF} ($V_{REF} = V_{REF}^+ - V_{REF}^-$) の最小値は非常に小さく (「代表的な性能特性」参照)、出力範囲が 5V 以下のトランスデューサ出力を直接変換できます。ただし出力範囲を小さくするとコンパレータの感度が高くなるため (1LSB = $V_{REF}/1024$)、ノイズのピックアップ、回路のレイアウト、システム誤差を起こす電圧源に関して特別な注意が必要です。

3.3 アナログ入力

アナログ入力のサンプリング特性により、クロック・エッジで、短時間の電流スパイクが“-” 入力に現れます。ソース抵抗が 1k を超える場合は、入力バイパス・コンデンサを使用しないでください (AC 電流が平滑化され、実効 DC 電流がアナログ入力ソース抵抗に流れます)。高インピーダンスの信号ソースを使用する場合は、オペアンプの RC アクティブ・ローパス・フィルタを用いると、インピーダンス・バッファとノイズ・フィルタの両機能が得られます。バイパス・コンデンサは、信号ソースのインピーダンスが非常に低く、性能の低下がない場合に使用してください。

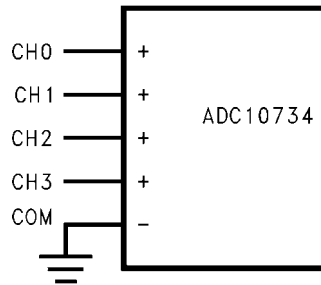
真の差動入力段では、“+” と“-” 入力に共通のノイズがキャンセルできます。ADC10731/2/4/8 では、選択されたチャネル・ペアの“+” 入力は、変換開始前のアクイジション時間 (t_A) の間に一度だけサンプリングされます。“-” 入力は、サンプリングされてから SAR シーケンスで各決定が行われるため、変換シーケンス全体にわたって安定している必要があります。したがって、アナログ入力側にあるいずれの同相信号も完全にはキャンセルできず、一定の変換誤差を起こすようになります。正弦波の同相信号の場合、この誤差は次式から求められます。

$$V_{\text{ERROR}(\text{max})} = V_{\text{PEAK}} (2 - f_{\text{CM}}) (t_c)$$

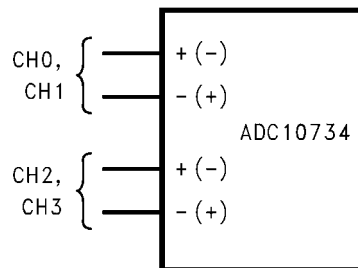
f_{CM} は同相信号の周波数、 V_{PEAK} はピーク電圧値、 t_c は A/D コンパレータの変換時間 ($t_c = 12/f_{\text{CLK}}$)。例えば、60Hz の同相信号が 4.8 μ s の変換時間で 1/4LSB の誤差 (0.61mV) を起こすためには、そのピーク値は約 337mV でなければなりません。

アプリケーション・ヒント(つづき)

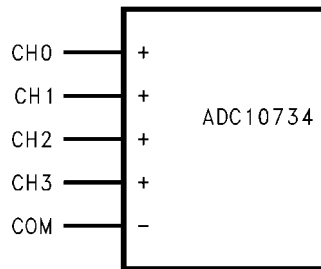
4 Single-Ended



2 Differential



4 Psuedo-Differential



2 Single-Ended and 1 Differential

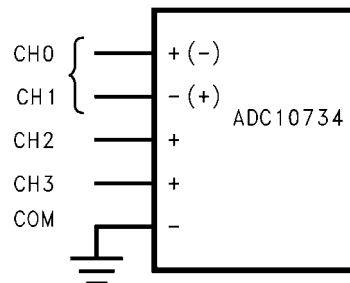


FIGURE 13. Analog Input Multiplexer Options

アプリケーション・ヒント(つづき)

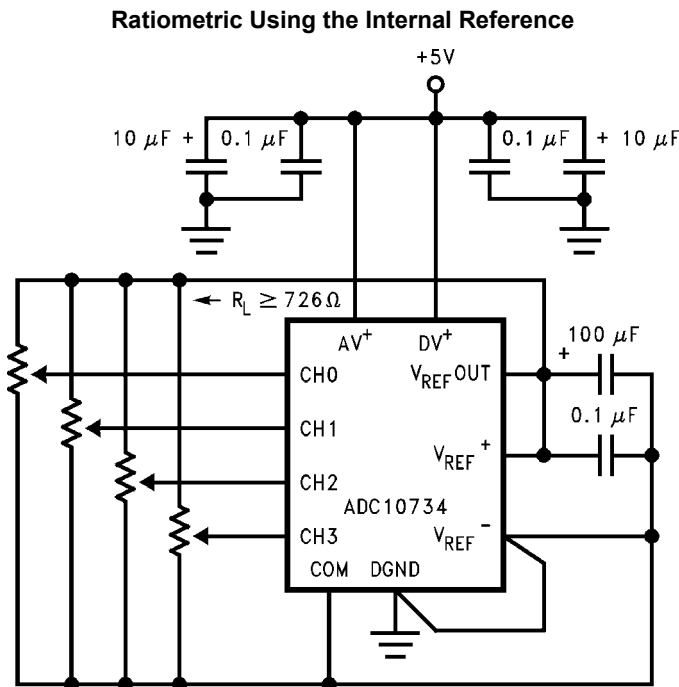


FIGURE 14.

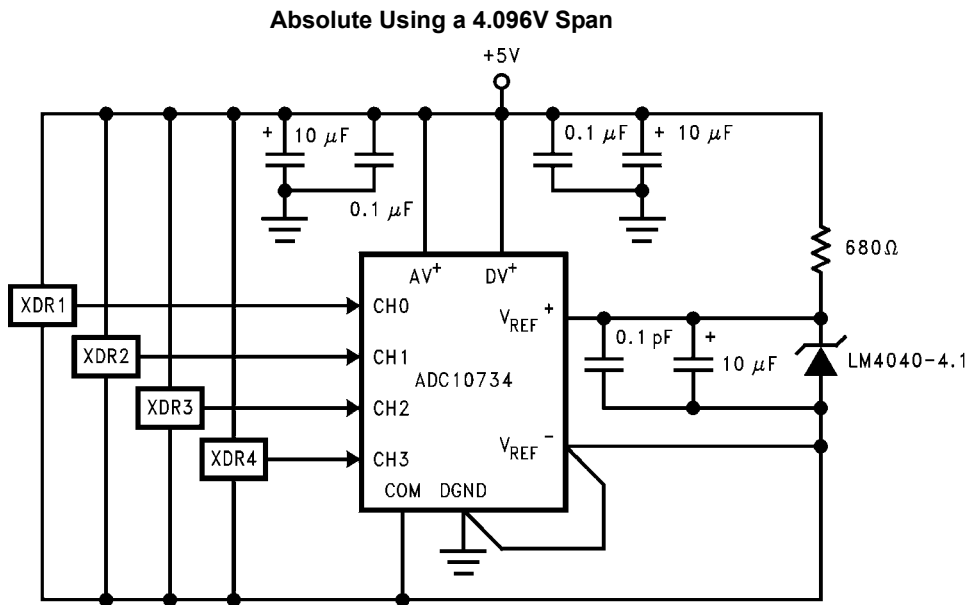


FIGURE 15. Different Reference Configurations

3.4 付加的調整

3.4.1 ゼロ誤差

A/D コンバータのゼロ誤差は、変換関数の最初の立ち上がり位置 (Figure 1、2 参照) で生じ、“-” 入力を接地し、小振幅電圧を “+” 入力に加えて測定します。ゼロ誤差は、出力デジタル・コードが 000 0000 0000 から 000 0000 0001 に遷移するのに必要な実際の DC 入力電圧と理想的な 1/2LSB 値 ($V_{REF} = + 2.500V$ の場合、 $1/2LSB = 1.22mV$) の差を表します。

A/D コンバータのゼロ誤差調整は不要です。アナログ入力電圧の最小値 $V_{IN} (Min)$ がグラウンド電位でなければ、実効 “ゼロ” 電圧を適切な値に調整できます。任意の “-” 入力を $V_{IN} (Min)$ にバイアスすると、この最小入力電圧に対して「オール・ゼロ」のデジタル・コードを出力するようにコンバータを設定できます。これは、差動入力または疑似差動入力のチャネル構成で有用です。

アプリケーション・ヒント(つぎ)

3.4.2 フルスケール

フルスケール調整は、所定のアナログ・フルスケール電圧範囲より 1.5LSB 低い差動入力電圧を印加し、デジタル出力コードが 011 11111110 から 011 1111 1111 に変わるように、 V_{REF} 電圧 ($V_{REF} = V_{REF}^+ - V_{REF}^-$) を調整します。+サイン・パイポーラ動作では、正のフルスケール誤差だけを調整します。

3.4.3 任意のアナログ入力電圧範囲の調整

A/D コンバータのアナログ・ゼロ電圧がグラウンドからシフトしている場合 (例えば、グラウンドに達しないアナログ入力信号を受け入れるために)、この新しいゼロ基準電圧を最初に正しく調整しなければなりません。すなわち、この任意のゼロ基準電圧プラス 1/2LSB に等しい正の入力電圧を “+” 入力に加え、これに対応する “-” 入力のゼロ基準電圧を調整して、000 0000 0000 から 000 0000 0001 のコード遷移点に合わせます。

次式に示すように適切な “-” 入力電圧を加え、“+” 入力に強制的に電圧を加えてフルスケール調整を行います。

$$V_{IN(+)} f_s \text{ adj} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{2^n} \right]$$

V_{MAX} はアナログ入力範囲の最大電圧値、 V_{MIN} はアナログ入力範囲の最小電圧値 (オフセット・ゼロ)、 V_{MAX} および V_{MIN} は GND 基準電圧。次に、 V_{REF} ($V_{REF} = V_{REF}^+ - V_{REF}^-$) 電圧を調整し、011 1111 1110 から 011 1111 1111 のコード遷移点に合わせます。疑似差動または差動マルチプレクサ・モード動作の場合、 V_{REF}^+ と V_{REF}^- が V^+ と GND 範囲内であれば、 V_{REF}^+ と V_{REF}^- の個々の値は重要ではなく、その電圧差だけでアナログ入力電圧範囲が決まります。これで電圧範囲の調整が完了します。

3.5 S/H の入力部

ADC10731/2/4/8 の S/H コンデンサはキャパシタ・アレイにより構成されています。このアレイは、チャンネル・アドレスがロードされると切り換わり、選択チャンネルの “+” 入力電圧のサンプリングを

開始します。“+” 入力のサンプリング期間は、アキュイジション時間 (t_A) 4.5 クロック・サイクルです。

この 4.5 クロック・サイクルのアキュイジション・ウィンドウの間に、コンデンサ・アレイの電圧が “+” 入力電圧にセトリングされます。アキュイジション・ウィンドウの前後に選択された正のアナログ入力電圧が変動しても、A/D 変換の結果には影響ありません。

最も単純なケースでは、このアレイのアキュイジション時間はマルチプレクサ・スイッチの R_{ON} (3k Ω)、浮遊入力容量 C_{S1} (3.5pF)、全アレイ容量 C_L と浮遊容量 C_{S2} ($C_L + C_{S2} = 48pF$) により決まります。ソース抵抗が大きい場合、アナログ入力を Figure 16 に示す RC ネットワーク回路としてモデル化できます。上記の数値の時、ゼロからフルスケールへの入力電圧変移で、10 ビット・ユニポーラまたは 10 ビット・サイン・パイポーラの信号精度のアキュイジション時間は約 1.1 μ s になります。外部ソース抵抗と容量は、アキュイジション時間を長くするため、考慮しなければなりません。クロックの速度を落とすとアキュイジション時間が長くなり、これにより大きな値の外部信号源抵抗が使用できるようになります。

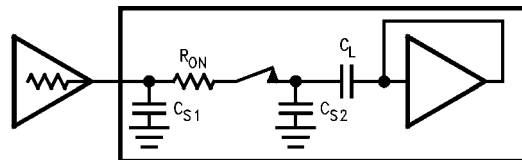
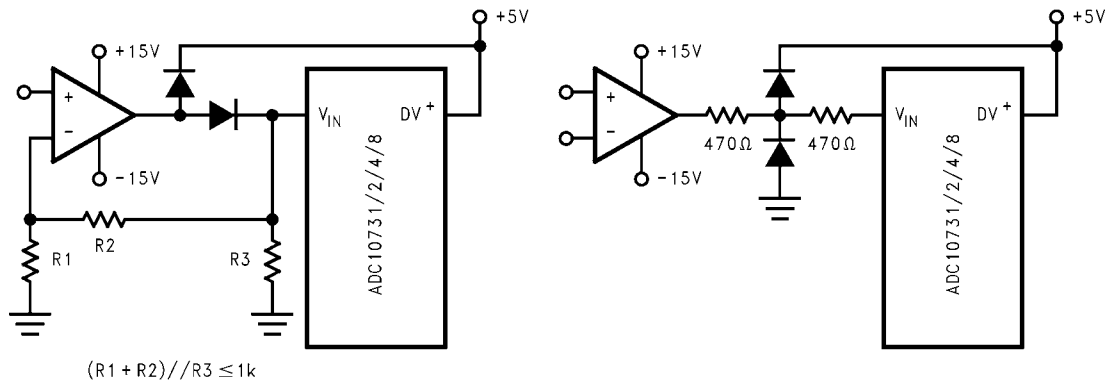


FIGURE 16. Analog Input Model

理想的な A/D コンバータの SN 比は、その A/D コンバータの伝達関数により生じる全誤差振幅 (ノイズを含む) に対するフルスケール入力信号振幅の RMS 値の比です。総合未調整誤差が 0LSB である理想的な 10 ビット・サイン・パイポーラの A/D コンバータの場合、その S/(N + 歪み) 比は約 68dB になり、次式から計算できます。

$$S/(N + D) = 6.02(n) + 1.76$$

S/(N + D) の単位は dB、“n” はビット数。



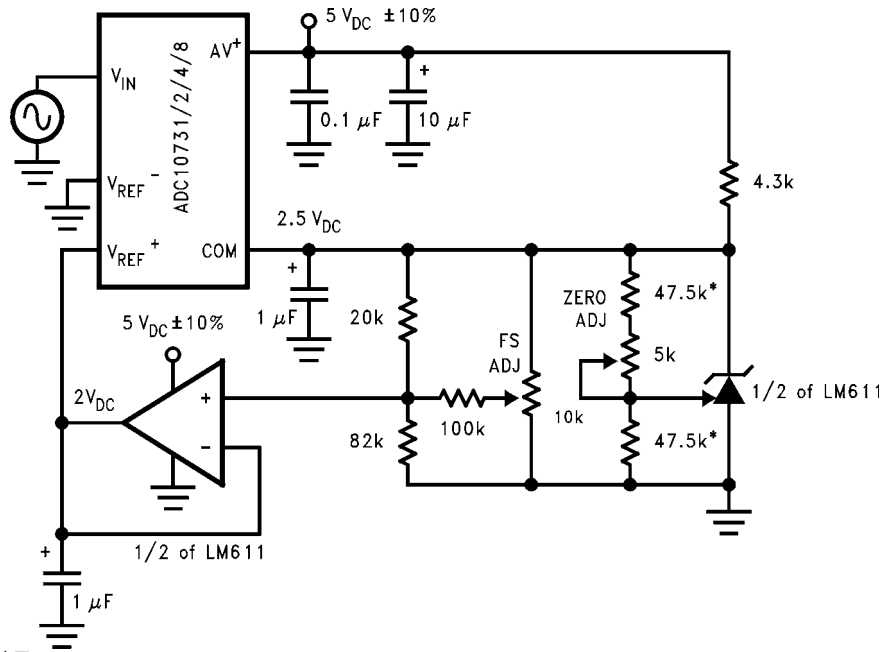
$$(R1 + R2) / R3 \leq 1k$$

Note: 1N914 のダイオードを使用。

Note: 電流制限時にオペアンプの出力電流に耐える保護ダイオードを使用。

FIGURE 17. Protecting the Analog Inputs

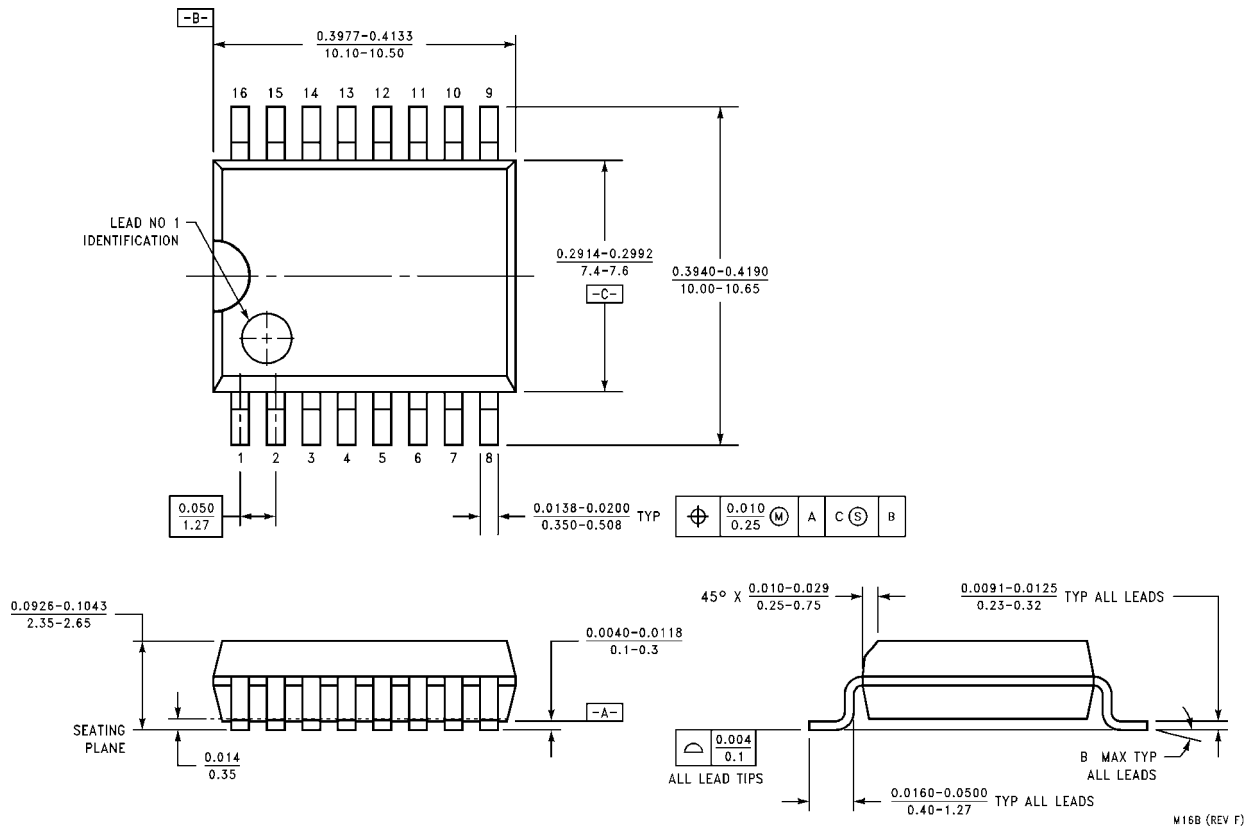
アプリケーション・ヒント (つづき)



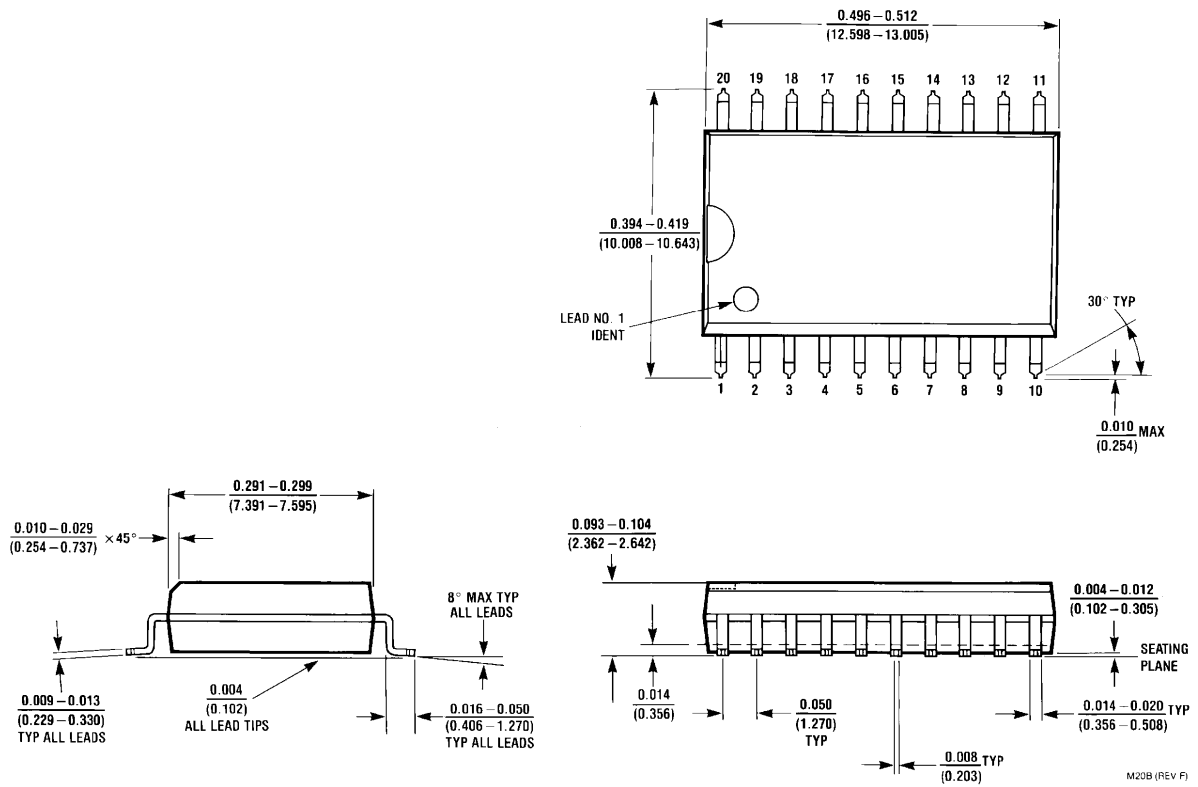
*1%の抵抗を使用。

FIGURE 18. Zero-Shift and Span-Adjust for Signed or Unsigned, Single-Ended Multiplexer Assignment, Signed Analog Input Range of 0.5V V_{IN} 4.5V

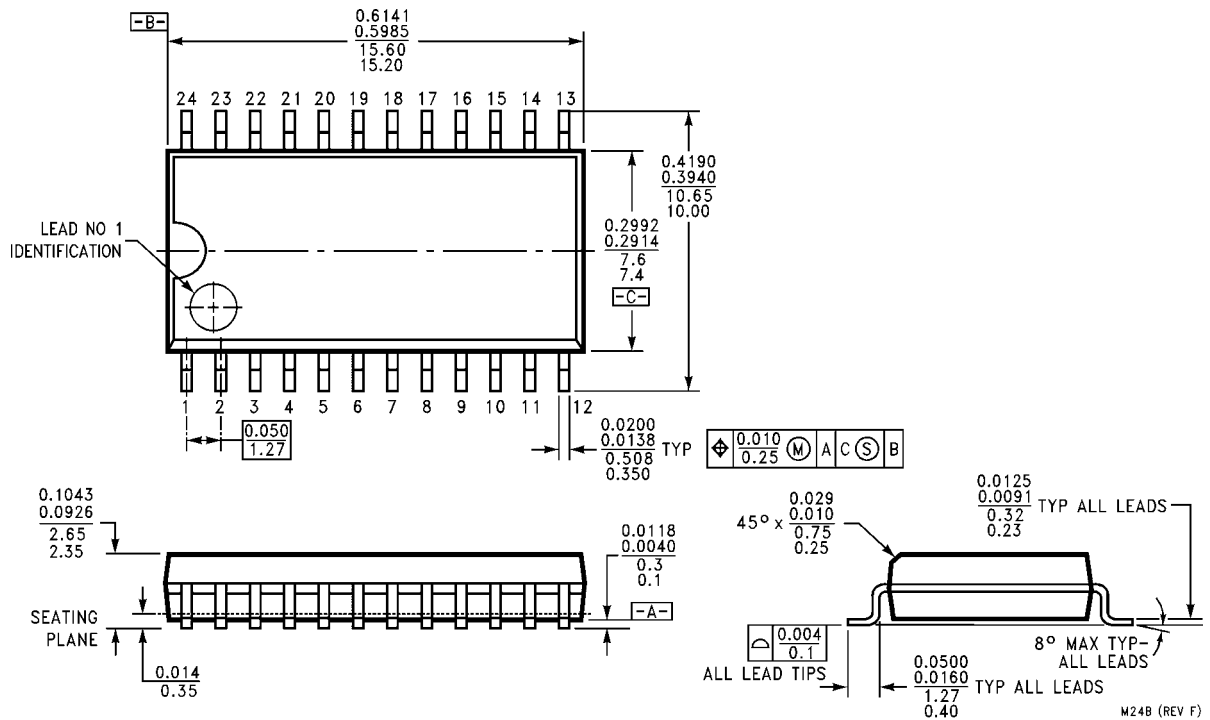
外形寸法図 特記のない限り inches (millimeters)



外形寸法図 特記のない限り inches (millimeters)(つぎ)

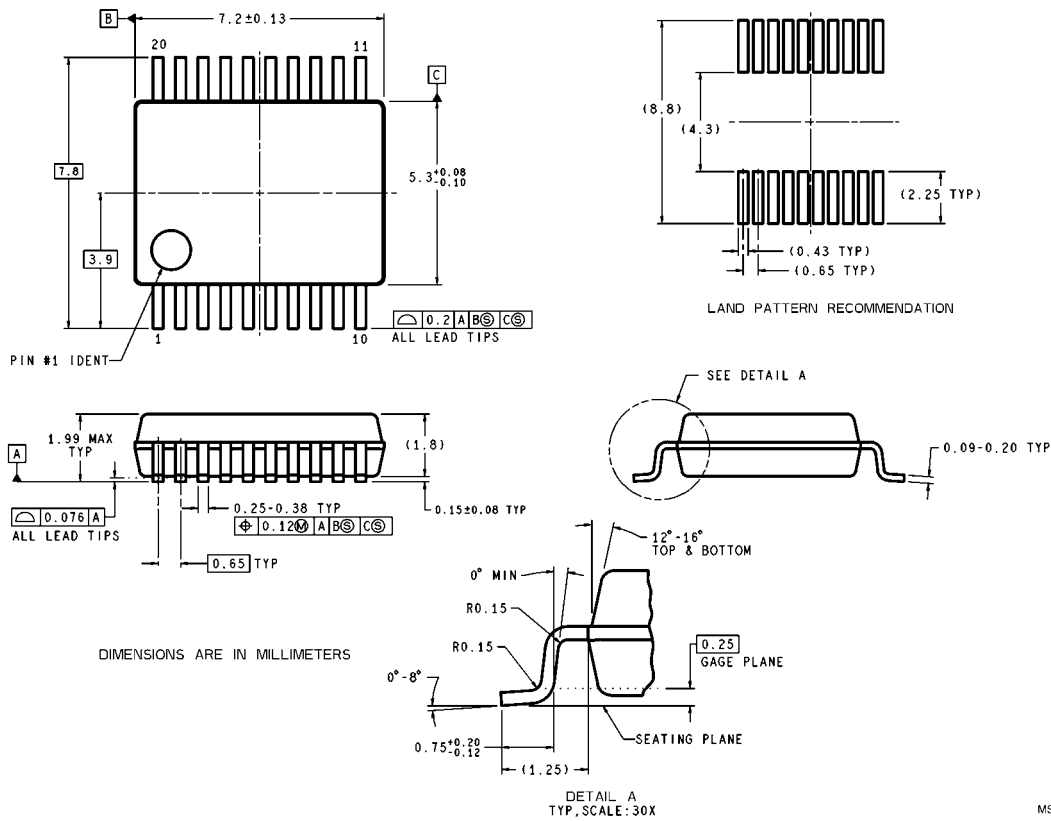


Order Number ADC10732CIWM and ADC10734CIWM
NS Package Number M20B



Order Number ADC10738CIWM
NS Package Number M24B

外形寸法図 単位は millimeters(つづき)



Order Number ADC10734CIMS
NS Package Number MSA20

MSA20 (Rev B)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。 www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上