

ADC102S101

ADC102S101 2 Channel, 500 ksps to 1 Msps, 10-Bit A/D Converter



Literature Number: JAJSA7

ADC102S101

2チャンネル、1MSPS、10ビット A/D コンバータ

概要

ADC102S101は、低消費電力の2チャンネル10ビットCMOS A/D コンバータで、高速のシリアル・インタフェースを備えています。単一のサンプリング・レートのみで性能を規定する従来の方式とは異なり、ADC102S101では、500kSPS ~ 1MSPSまでのサンプリング・レート全範囲にわたって性能を規定しています。ADC102S101はトラック/ホールド回路を内蔵した逐次比較レジスタ・アーキテクチャを採用しています。入力 IN1 および IN2 で1種類または2種類の信号を入力できる構成になっています。

シリアル・データ出力はストレート・バイナリ形式で、SPI™、QSPI™、MICROWIRE など、広く使われている標準的な DSP シリアル・インタフェースと互換性があります。

ADC102S101は+2.7V ~ +5.25Vの単一電源で動作します。標準的な消費電力は、+3V動作時で3.9mW、+5V動作時で11.4mWです。消費電力を低減できるパワーダウン機能を備えており、+3.6V動作時で0.12μW、+5.5V動作時で0.47μWとなります。

ADC102S101は8ピンのMSOPパッケージで提供されます。産業用温度範囲(-40 ~ +85)での動作が保証されています。

特長

- サンプリング・レートの全範囲で規定
- 2入力チャンネル
- 可変パワー・マネジメント
- 単一電源動作(範囲: 2.7V ~ 5.25V)

主な仕様

DNL	+ 0.26/ - 0.16LSB (代表値)
INL	+ 0.4/ - 0.1LSB (代表値)
S/N 比	61.7dB (代表値)
消費電力	
- 3V 電源	3.9mW (代表値)
- 5V 電源	11.4mW (代表値)

アプリケーション

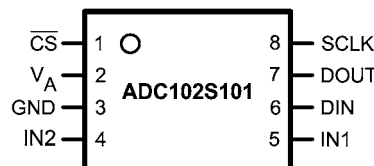
- ポータブル・システム
- 遠隔からのデータ収集
- 計測器や制御システム

分解能および速度別のピン互換代替品

すべてのデバイスは完全にピン互換になっています。

Resolution	Specified for Sample Rates of:		
	50 to 200 kSPS	200 to 500 kSPS	500 kSPS to 1 MSPS
12-bit	ADC122S021	ADC122S051	ADC122S101
10-bit	ADC102S021	ADC102S051	ADC102S101
8-bit	ADC082S021	ADC082S051	ADC082S101

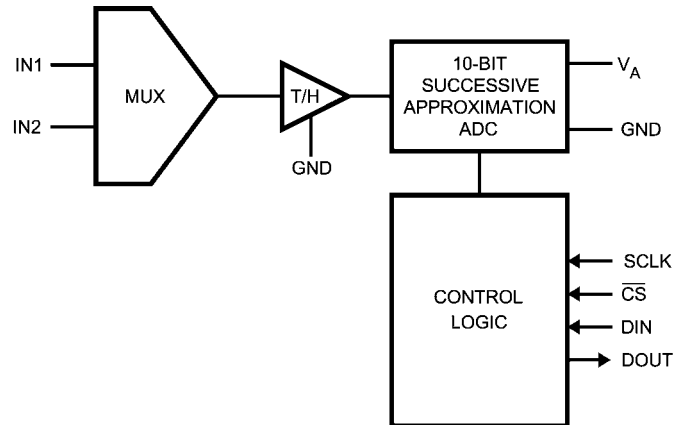
ピン配置図



製品情報

Order Code	Temperature Range	Description	Top Mark
ADC102S101CIMM	-40°C to +85°C	8-Lead MSOP Package	X23C
ADC102S101CIMMX	-40°C to +85°C	8-Lead MSOP Package, Tape & Reel	X23C
ADC102S101EVAL		Evaluation Board	

ブロック図



ピン説明および等価回路

ピン番号	シンボル	説明
アナログ I/O		
5,4	IN1 ~ IN2	アナログ入力。信号の電圧範囲は 0V ~ V _A です。
デジタル I/O		
8	SCLK	デジタル・クロック入力。このクロックは変換処理と読み出し処理を直接制御します。
7	DOUT	デジタル・データ出力。出力サンプルは、SCLK の立ち下がりエッジに同期して出力されます。
6	DIN	デジタル・データ入力。ADC102S101 の立ち上がりエッジで本ピンからデータが取り込まれ内部の制御レジスタへ与えられます。
1	\overline{CS}	チップ・セレクト。 \overline{CS} ピンの立ち下がりエッジで変換処理が開始されます。 \overline{CS} が Low の間は連続して変換が行われます。
電源		
2	V _A	正電圧の電源ピン。+ 2.7V ~ + 5.25V の安定した電源に接続し、ピンから 1cm 以内に 0.1 μ F のセラミック・モナリシック・コンデンサと 1 μ F のタンタル・コンデンサを設けグラウンドに対してバイパスを行なってください。
3	GND	アナログ電源のグラウンド・ピン。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧 (V _A)	- 0.3V ~ 6.5V
任意のピンの対 GND 電圧	- 0.3V ~ V _A + 0.3V
入力電流 (Note 3)	± 10mA
パッケージの入力電流 (Note 3)	± 20mA
パッケージ消費電力 (T _A = 25 °C)	Note 4 参照
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T _A + 85
電源電圧 (V _A)	+ 2.7V ~ + 5.25V
デジタル入力ピン電圧範囲	- 0.3V ~ V _A
クロック周波数	0.8 ~ 16MHz
アナログ入力電圧	0V ~ V _A

パッケージ熱抵抗

Package	θ _{JA}
8-lead MSOP	250°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください (Note 6)。

ADC102S101 コンバータの電気的特性 (Note 9)

特記のない限り、以下の仕様は V_A = + 2.7V ~ 5.25V、GND = 0V、C_L = 50pF、f_{SCLK} = 8MHz ~ 16MHz、f_{SAMPLE} = 500kSPS ~ 1MSPS に対して適用されます。太文字表記のリミット値は T_A = T_{MIN} ~ T_{MAX} に対して適用され、その他のすべてのリミット値は T_A = 25 °C に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10	Bits
INL	Integral Non-Linearity		+0.4	+0.7	LSB (max)
			-0.1	-0.5	LSB (min)
DNL	Differential Non-Linearity		+0.26	+0.6	LSB (max)
			-0.16	-0.6	LSB (min)
V _{OFF}	Offset Error		+0.19	±0.6	LSB (max)
OEM	Channel to Channel Offset Error Match		0.02	±0.6	LSB (max)
FSE	Full-Scale Error		-0.15	±0.7	LSB (max)
FSEM	Channel to Channel Full-Scale Error Match		0.02	±0.5	LSB (max)
DYNAMIC CONVERTER CHARACTERISTICS					
SINAD	Signal-to-Noise Plus Distortion Ratio	V _A = +2.7V to 5.25V f _{IN} = 40.3 kHz, -0.02 dBFS	61.6	61	dB (min)
SNR	Signal-to-Noise Ratio	V _A = +2.7V to 5.25V f _{IN} = 40.3 kHz, -0.02 dBFS	61.7	61.3	dB (min)
THD	Total Harmonic Distortion	V _A = +2.7V to 5.25V f _{IN} = 40.3 kHz, -0.02 dBFS	-82	-72	dB (max)
SFDR	Spurious-Free Dynamic Range	V _A = +2.7V to 5.25V f _{IN} = 40.3 kHz, -0.02 dBFS	83	75	dB (min)
ENOB	Effective Number of Bits	V _A = +2.7V to 5.25V f _{IN} = 40.3 kHz, -0.02 dBFS	9.9	9.8	Bits (min)
	Channel-to-Channel Crosstalk	V _A = +5.25V f _{IN} = 40.3 kHz	-78		dB
IMD	Intermodulation Distortion, Second Order Terms	V _A = +5.25V f _a = 40.161 kHz, f _b = 41.015 kHz	-82		dB
	Intermodulation Distortion, Third Order Terms	V _A = +5.25V f _a = 40.161 kHz, f _b = 41.015 kHz	-81		dB
FPBW	-3 dB Full Power Bandwidth	V _A = +5V	11		MHz
		V _A = +3V	8		MHz

ADC102S101 コンバータの電気的特性 (Note 9) (つづき)

特記のない限り、以下の仕様は $V_A = +2.7V \sim 5.25V$ 、 $GND = 0V$ 、 $C_L = 50pF$ 、 $f_{SCLK} = 8MHz \sim 16MHz$ 、 $f_{SAMPLE} = 500kSPS \sim 1MSPS$ に対して適用されます。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のすべてのリミット値は $T_A = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units
ANALOG INPUT CHARACTERISTICS					
V_{IN}	Input Range		0 to V_A		V
I_{DCL}	DC Leakage Current			± 1	μA (max)
C_{INA}	Input Capacitance	Track Mode	33		pF
		Hold Mode	3		pF
DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Input High Voltage	$V_A = +5.25V$		2.4	V (min)
		$V_A = +3.6V$		2.1	V (min)
V_{IL}	Input Low Voltage			0.8	V (max)
I_{IN}	Input Current	$V_{IN} = 0V$ or V_A	± 0.2	± 10	μA (max)
C_{IND}	Digital Input Capacitance		2	4	pF (max)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$	$V_A - 0.03$	$V_A - 0.5$	V (min)
		$I_{SOURCE} = 1mA$	$V_A - 0.1$		V
V_{OL}	Output Low Voltage	$I_{SINK} = 200 \mu A$	0.03	0.4	V (max)
		$I_{SINK} = 1mA$	0.1		V
I_{OZH}, I_{OZL}	TRI-STATE® Leakage Current		± 0.01	± 1	μA (max)
C_{OUT}	TRI-STATE® Output Capacitance		2	4	pF (max)
	Output Coding		Straight (Natural) Binary		
POWER SUPPLY CHARACTERISTICS ($C_L = 10 pF$)					
V_A	Supply Voltage			2.7	V (min)
				5.25	V (max)
I_A	Supply Current, Normal Mode (Operational, \overline{CS} low)	$V_A = +5.25V$, $f_{SAMPLE} = 1MSPS$, $f_{IN} = 40kHz$	2.18	2.7	mA (max)
		$V_A = +3.6V$, $f_{SAMPLE} = 1MSPS$, $f_{IN} = 40kHz$	1.08	1.3	mA (max)
	Supply Current, Shutdown (\overline{CS} high)	$V_A = +5.25V$, $f_{SAMPLE} = 0kSPS$	90		nA
		$V_A = +3.6V$, $f_{SAMPLE} = 0kSPS$	33		nA
P_D	Power Consumption, Normal Mode (Operational, \overline{CS} low)	$V_A = +5.25V$	11.4	14.2	mW (max)
		$V_A = +3.6V$	3.9	4.7	mW (max)
	Power Consumption, Shutdown (\overline{CS} high)	$V_A = +5.25V$	0.47		μW
		$V_A = +3.6V$	0.12		μW
AC ELECTRICAL CHARACTERISTICS					
f_{SCLK}	Clock Frequency	(Note 8)		8	MHz (min)
				16	MHz (max)
f_S	Sample Rate	(Note 8)		500	kSPS (min)
				1	MSPS (max)
t_{CONV}	Conversion Time			13	SCLK cycles
DC	SCLK Duty Cycle	$f_{CLK} = 16MHz$	50	30	% (min)
				70	% (max)
t_{ACQ}	Track/Hold Acquisition Time	Full-Scale Step Input		3	SCLK cycles
	Throughput Time	Acquisition Time + Conversion Time		16	SCLK cycles

ADC102S101 タイミング特性

特記のない限り、以下の仕様は $V_A = +2.7V \sim 5.25V$ 、 $GND = 0V$ 、 $C_L = 50pF$ 、 $f_{SCLK} = 8MHz \sim 16MHz$ 、 $f_{SAMPLE} = 500kSPS \sim 1MSPS$ に対して適用されます。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のすべてのリミット値は $T_A = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units	
t_{CSU}	Setup Time SCLK High to \overline{CS} Falling Edge	(Note 10)	$V_A = +3.0V$	-3.5	10	ns (min)
			$V_A = +5.0V$	-0.5		
t_{CLH}	Hold time SCLK Low to \overline{CS} Falling Edge	(Note 10)	$V_A = +3.0V$	+4.5	10	ns (min)
			$V_A = +5.0V$	+1.5		
t_{EN}	Delay from \overline{CS} Until DOUT active		$V_A = +3.0V$	+4	30	ns (max)
			$V_A = +5.0V$	+2		
t_{ACC}	Data Access Time after SCLK Falling Edge		$V_A = +3.0V$	+16.5	30	ns (max)
			$V_A = +5.0V$	+15		
t_{SU}	Data Setup Time Prior to SCLK Rising Edge		+3	10	ns (min)	
t_H	Data Valid SCLK Hold Time		+3	10	ns (min)	
t_{CH}	SCLK High Pulse Width		$0.5 \times t_{SCLK}$	$0.3 \times t_{SCLK}$	ns (min)	
t_{CL}	SCLK Low Pulse Width		$0.5 \times t_{SCLK}$	$0.3 \times t_{SCLK}$	ns (min)	
t_{DIS}	\overline{CS} Rising Edge to DOUT High-Impedance	Output Falling	$V_A = +3.0V$	1.7	20	ns (max)
			$V_A = +5.0V$	1.2		
		Output Rising	$V_A = +3.0V$	1		
			$V_A = +5.0V$	1		

Note 1: 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = 0$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < GND$ または $V_{IN} > V_A$)、そのピンの入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (20mA) により、電源電圧を超えて 10mA の電流を流すことができるピン数は 2 本に制限されます。絶対最大定格の規定は V_A ピンには適用されません。 V_A ピンに流入する電流は、アナログ電源電圧の規定により制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D,MAX} = (T_{Jmax} - T_A) / J_A$ または絶対最大定格で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合で異なります。

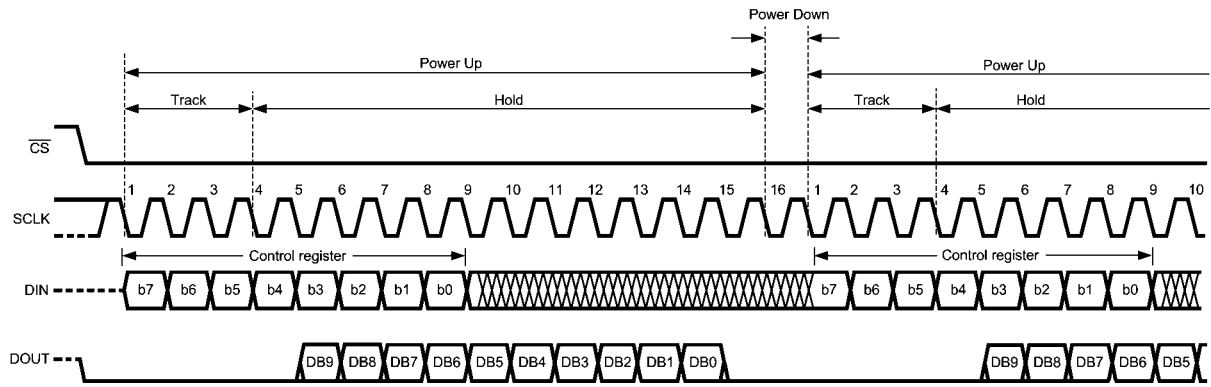
Note 7: テスト・リミット値は、ナショナルセミコンダクターの AOQL (平均出荷品質レベル) に基づき保証されます。

Note 8: 電気的性能が保証される周波数範囲のことで、デバイスが動作する範囲はさらに広範囲で、その範囲は動作定格で規定されています。

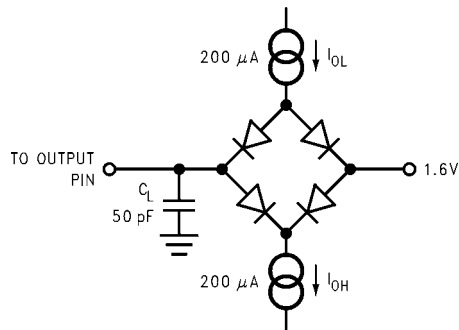
Note 9: データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

Note 10: セットアップ時間 t_{CSU} とホールド時間 t_{CLH} の規定はありますが、 \overline{CS} を有効な状態にするときのクロック・レベルは任意 (High または Low) です。

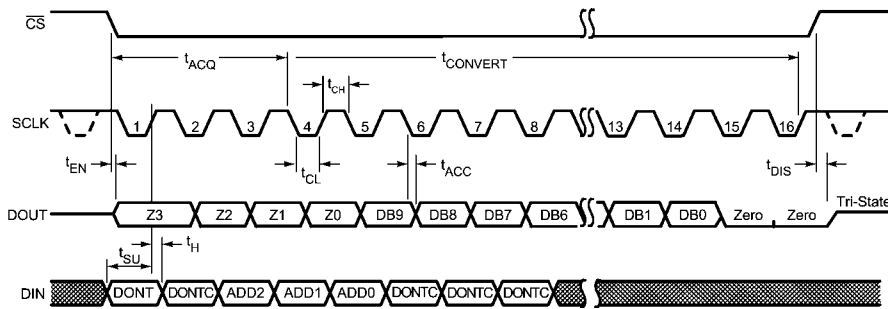
タイミング図



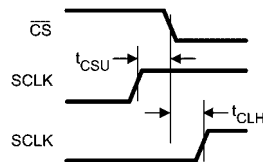
ADC102S101 Operational Timing Diagram



Timing Test Circuit



ADC102S101 Serial Timing Diagram



SCLK and CS Timing Parameters

用語の定義

アキュジション時間 (ACQUISITION TIME) は、入力電圧を取り込むのに必要な時間です。つまり、ホールド・コンデンサを入力電圧まで充電するのに要する時間のことです。

アパーチャ・ディレイ (APERTURE DELAY) は、変換処理開始後 4 番目の SCLK 立ち下がりエッジから、変換を行なうために入力信号がホールドされるまでの時間です。

変換時間 (CONVERSION TIME) とは、入力電圧を取り込んだあと、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

クロストーク (CROSSTALK) とは、あるチャネルから他のチャネルへのエネルギーのカップリングか、または測定したアナログ入力に現れる別のアナログ入力からの信号エネルギーの大きさのことで、す。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (DUTY CYCLE) とは、繰り返し波形の周期に対する High 期間の割合です。このデータシートでは SCLK に適用されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン・エラー (GAIN ERROR) は、理想的な値 ($V_{\text{REF}} - 1.5\text{LSB}$) に対する、オフセット・エラー調整後の、(111...110) から (111...111) に移る最終コード遷移の偏差です。

積分非直線性 (INTEGRAL NON-LINEARITY: INL) は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dB で表されます。

ミッシング・コード (MISSING CODES) は、A/D コンバータから出力されない出力コードです。ADC102S101 は、ミッシング・コードのないことが保証されています。

オフセット・エラー (OFFSET ERROR) は、理想的な値 ($\text{GND} + 0.5\text{LSB}$) に対する、(000...000) から (000...001) に移る最初のコード遷移の偏差です。

信号/ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号/(ノイズ+歪み)比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として、dB で表されます。

スプリアスフリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、出力に現れる最初の 5 個の高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dBc で表されます。全高調波歪み THD は次式から求めます。

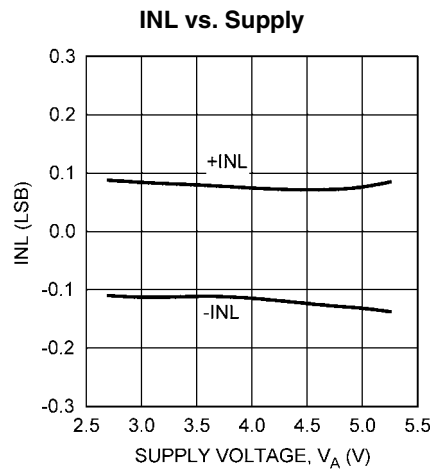
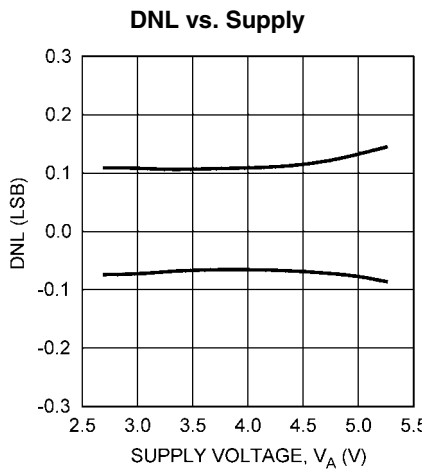
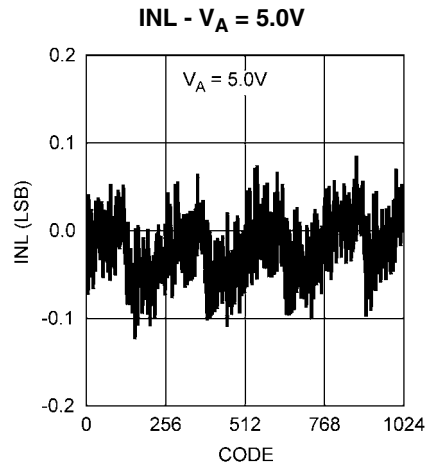
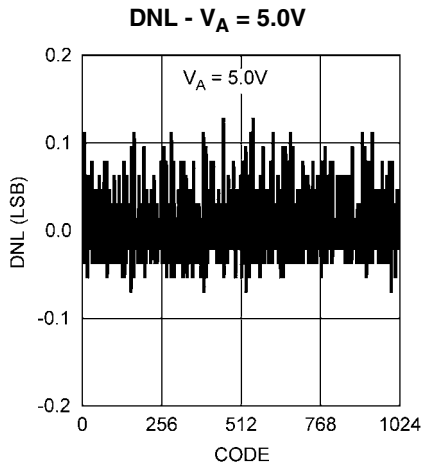
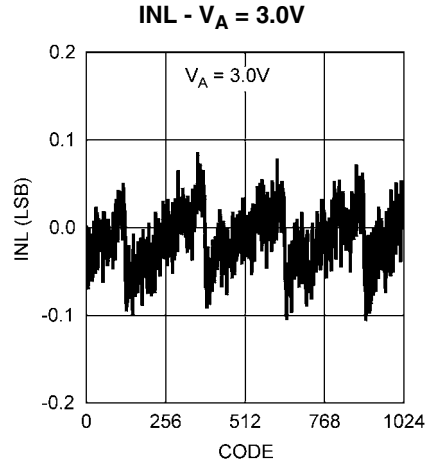
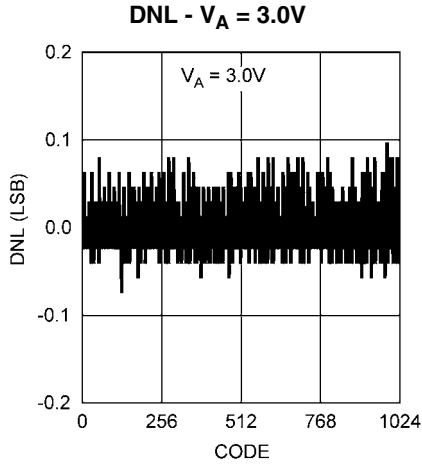
$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f_2}^2 + \dots + A_{f_6}^2}{A_{f_1}^2}}$$

A_{f_1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f_2} から A_{f_6} は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (THROUGHPUT TIME) は、連続した 2 回の変換を開始するために必要な最小の時間です。アキュジション時間と変換時間の和に相当します。ADC102S101 のとき、SCLK の 16 周期です。

代表的な性能特性

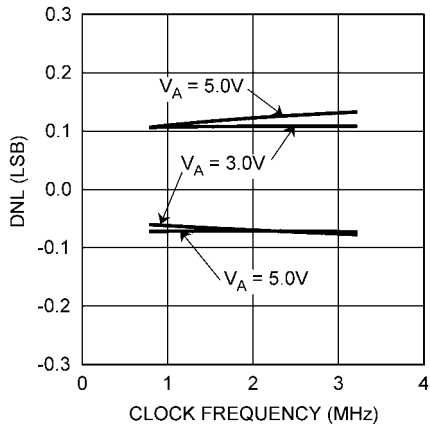
特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。



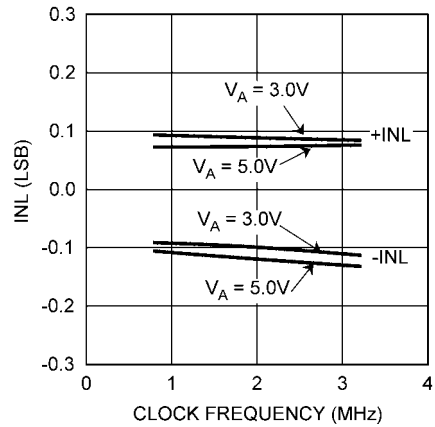
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

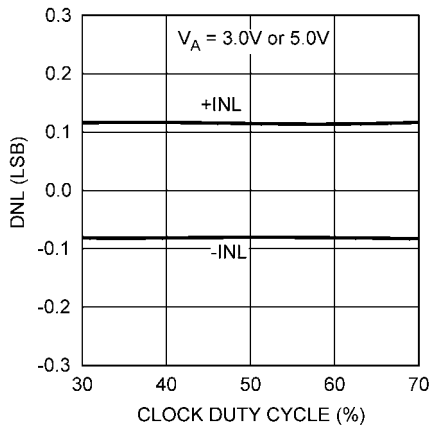
DNL vs. Clock Frequency



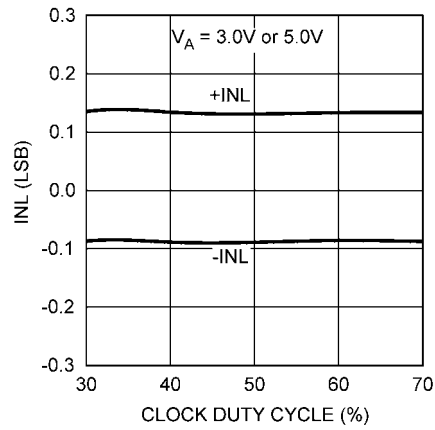
INL vs. Clock Frequency



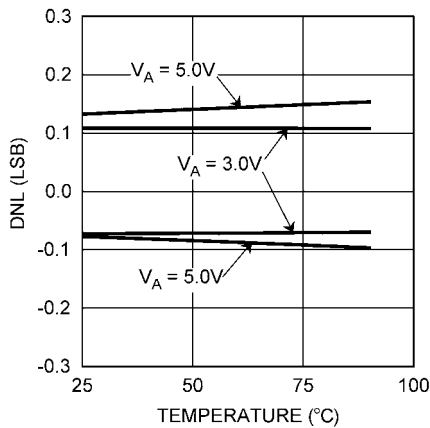
DNL vs. Clock Duty Cycle



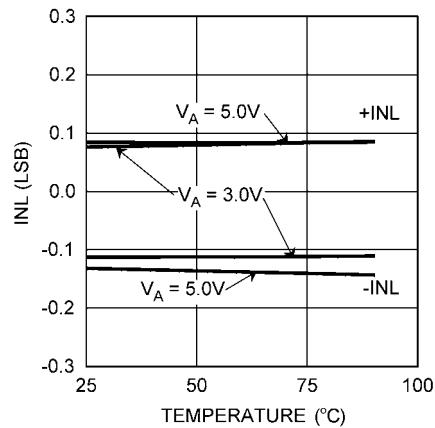
INL vs. Clock Duty Cycle



DNL vs. Temperature



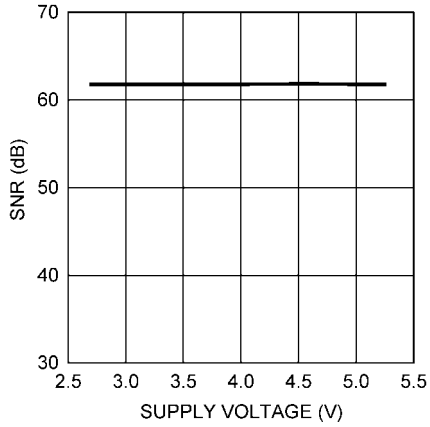
INL vs. Temperature



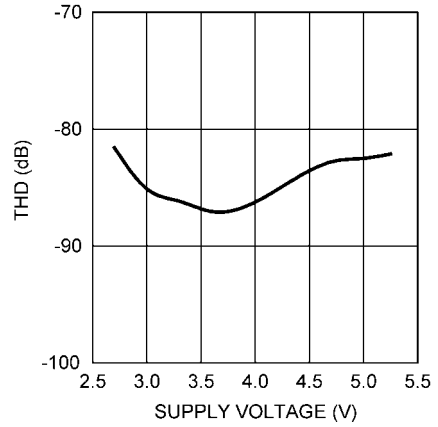
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

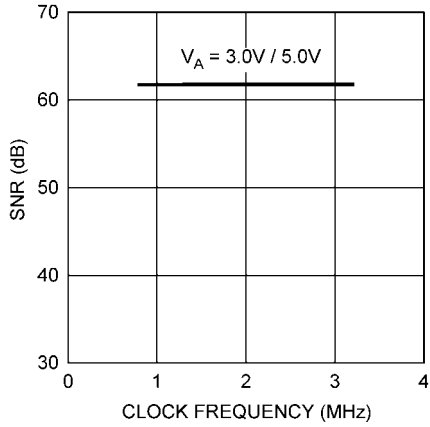
SNR vs. Supply



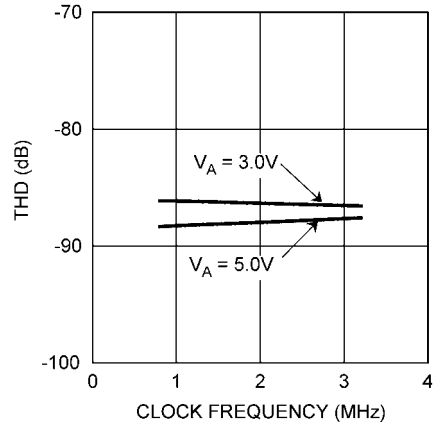
THD vs. Supply



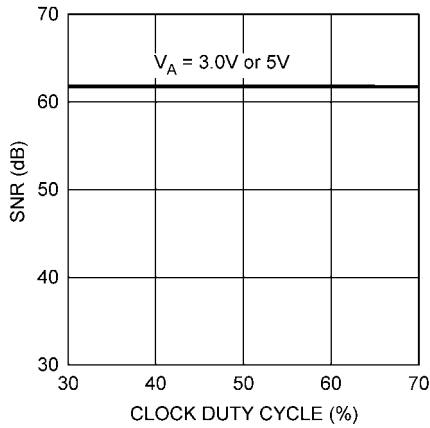
SNR vs. Clock Frequency



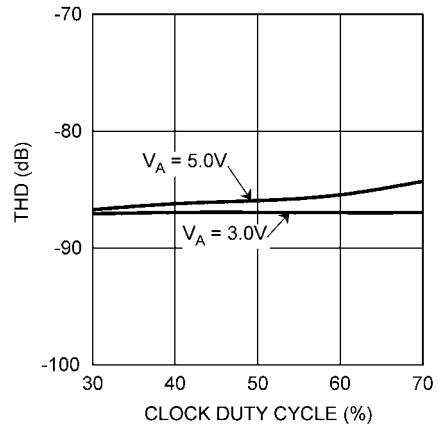
THD vs. Clock Frequency



SNR vs. Clock Duty Cycle



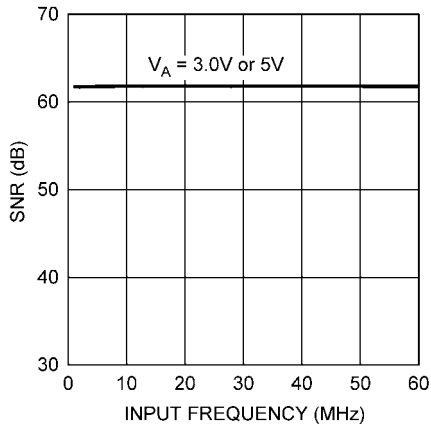
THD vs. Clock Duty Cycle



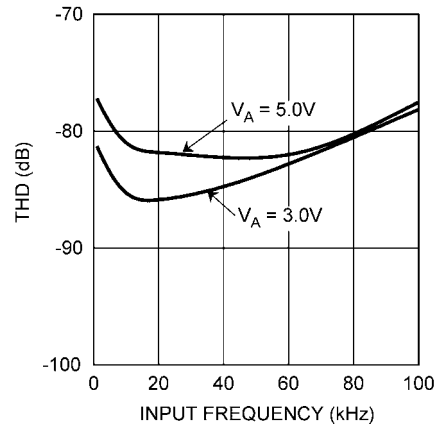
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

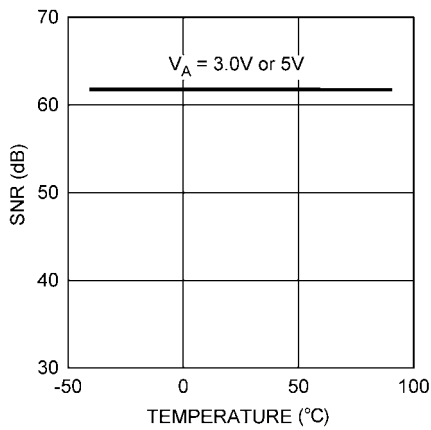
SNR vs. Input Frequency



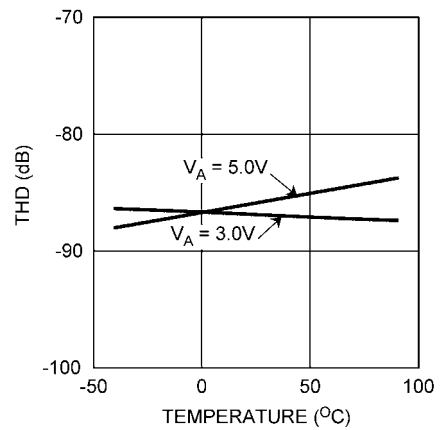
THD vs. Input Frequency



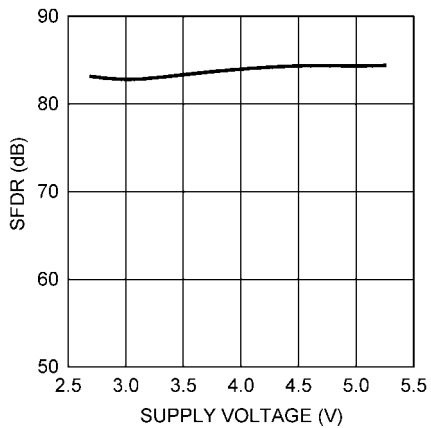
SNR vs. Temperature



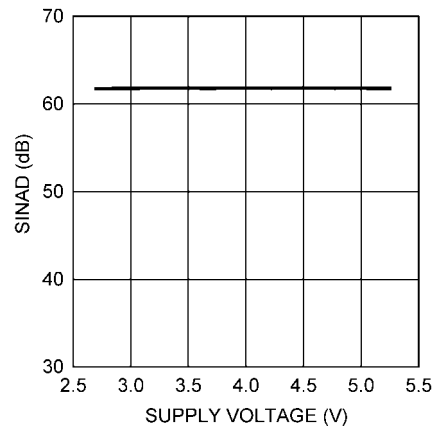
THD vs. Temperature



SFDR vs. Supply



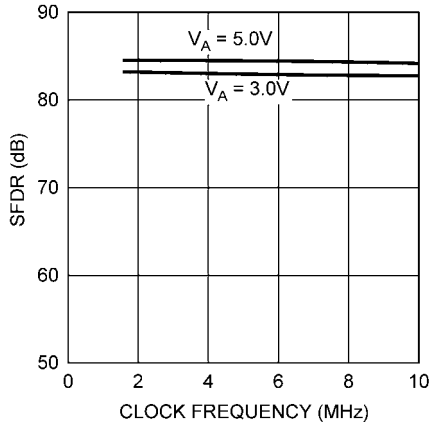
SINAD vs. Supply



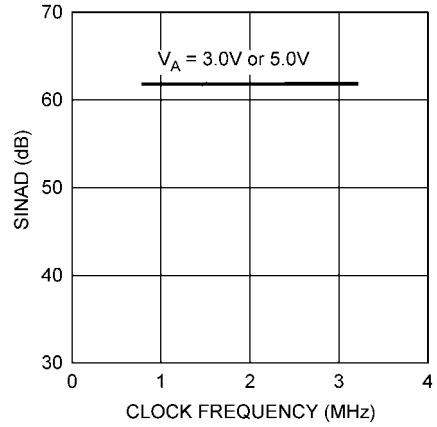
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

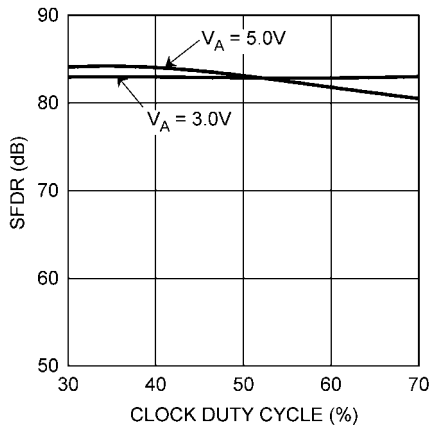
SFDR vs. Clock Frequency



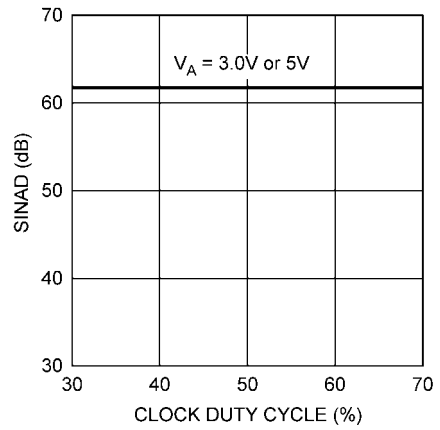
SINAD vs. Clock Frequency



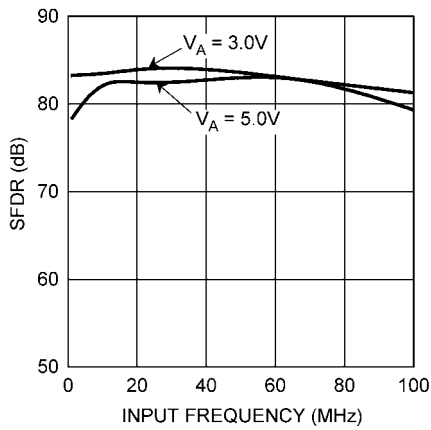
SFDR vs. Clock Duty Cycle



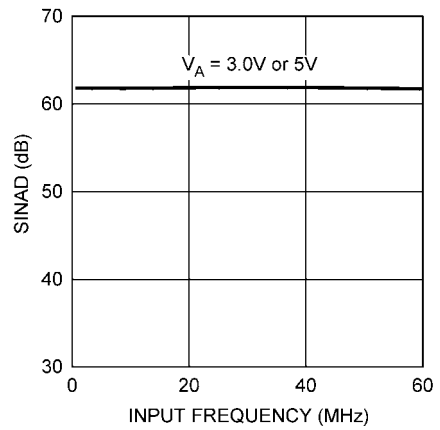
SINAD vs. Clock Duty Cycle



SFDR vs. Input Frequency



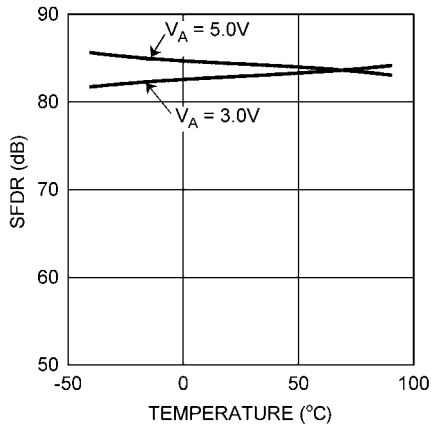
SINAD vs. Input Frequency



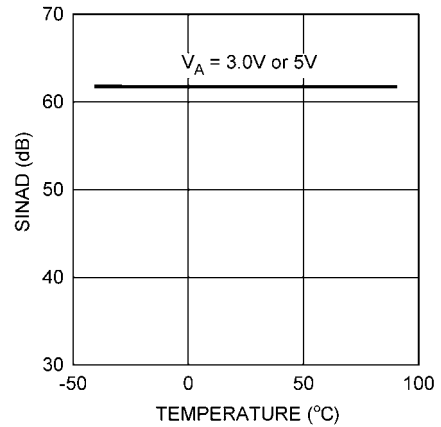
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

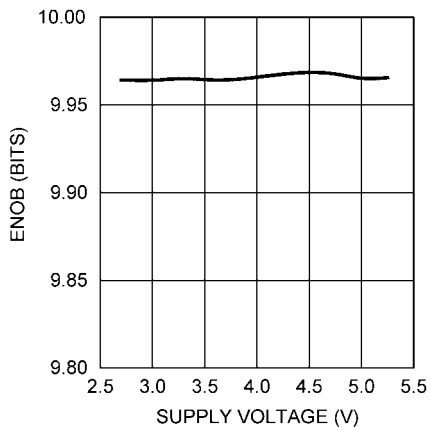
SFDR vs. Temperature



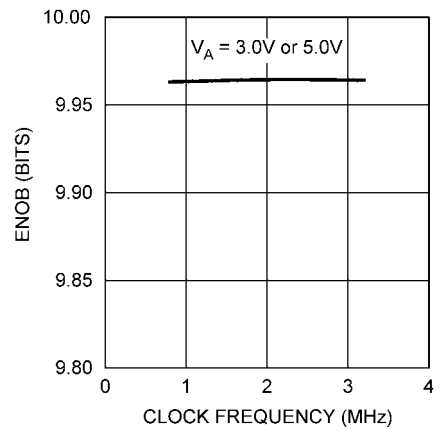
SINAD vs. Temperature



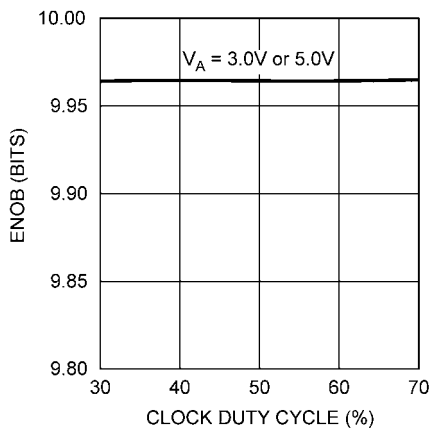
ENOB vs. Supply



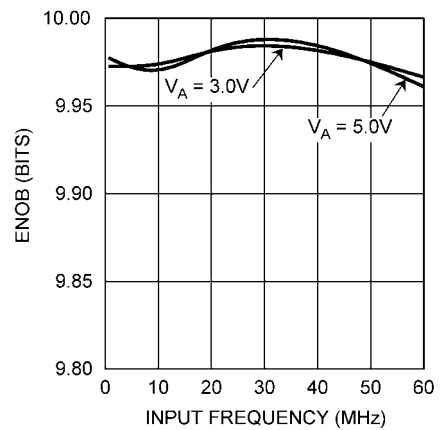
ENOB vs. Clock Frequency



ENOB vs. Clock Duty Cycle



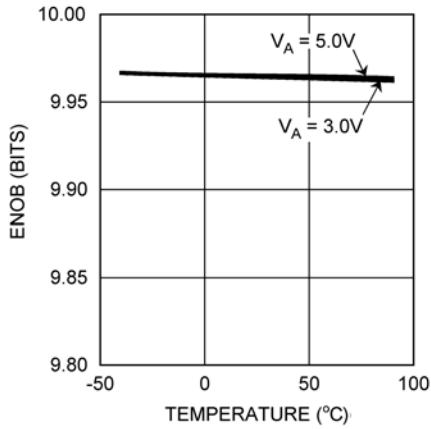
ENOB vs. Input Frequency



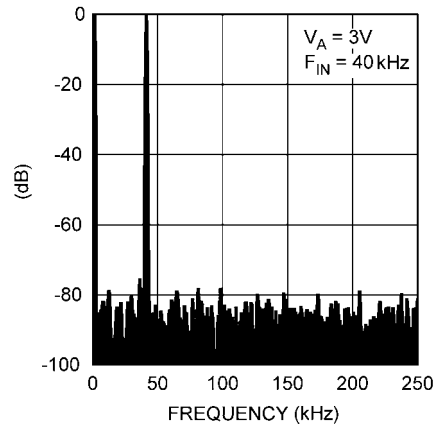
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS} \sim 1\text{MSPS}$ 、 $f_{SCLK} = 8\text{MHz} \sim 16\text{MHz}$ 、 $f_{IN} = 40.3\text{kHz}$ です。(つづき)

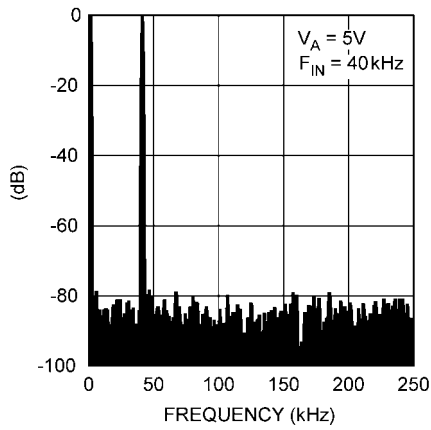
ENOB vs. Temperature



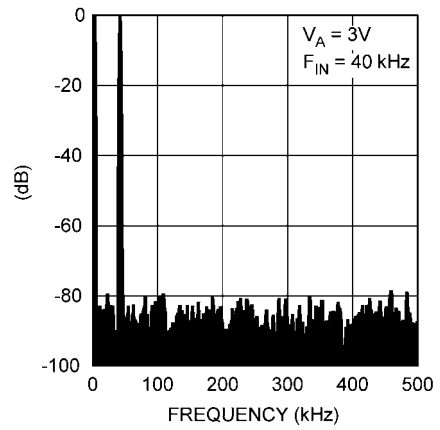
Spectral Response - 3V, 500 kSPS



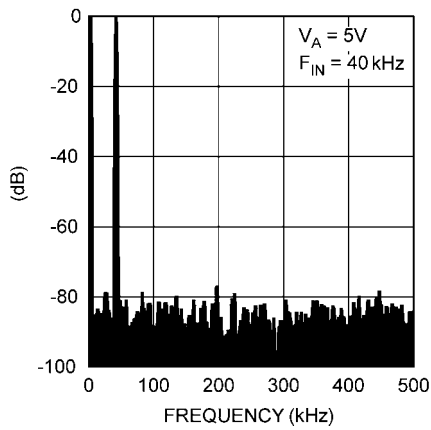
Spectral Response - 5V, 500 kSPS



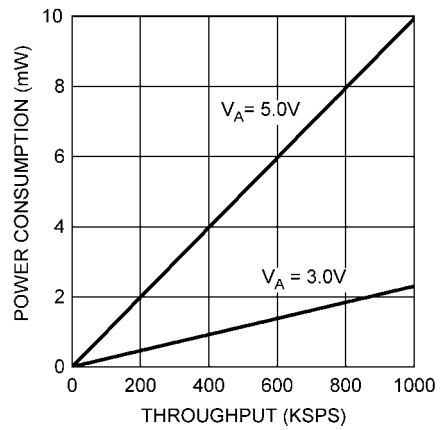
Spectral Response - 3V, 1.0 MSPS



Spectral Response - 5V, 1.0 MSPS



Power Consumption vs. Throughput



アプリケーション情報

1.0 ADC102S101 の動作原理

ADC102S101 は、電荷再配分 D/A コンバータを採用した逐次比較型の A/D コンバータです。ADC102S101 のトラック・モードおよびホールド・モードでの簡略化したブロック図を、それぞれ Figure 1、2 に示します。Figure 1 では ADC102S101 はトラック・モードになっています。スイッチ SW1 によってマルチプレクサで選択された 2 チャンネルのうちの 1 つのチャンネルがサンプリング・コンデンサに接続され、SW2 によってコンパレータ入力は平衡に保たれます。ADC102S101 は、 \overline{CS} が Low になったあと 3SCLK サイクルにわたってこの状態を保ちます。

Figure 2 では ADC102S101 はホールド・モードにあります。サンプリング・コンデンサは入力電圧を保持したまま SW1 によってグラ

ウンドに接続され、またスイッチ SW2 はコンパレータを非平衡状態にします。制御回路はコンパレータが平衡状態になるまで、サンプリング・コンデンサに一定量の電荷（電位）を加算または減算するように電荷再配分型 DAC を制御します。コンパレータが平衡になった時点で DAC に与えられているデジタル・ワードがアナログ入力電圧のデジタル値を表します。ADC102S101 は、 \overline{CS} が Low になったあと、4 回目から 16 回目の SCLK サイクルにわたってこの状態を維持します。

\overline{CS} が Low になっている時間はシリアル・フレームとみなされます。各シリアル・フレームは 16 の整数倍の SCLK サイクルで構成されます。シリアル・フレーム期間中に変換が実行され、DOUT ピンにはデータがクロックに同期して出力されます。さらに、DIN ピンにはデータがクロックに同期して入力され、次の変換のマルチプレクサ・アドレスが示されます。

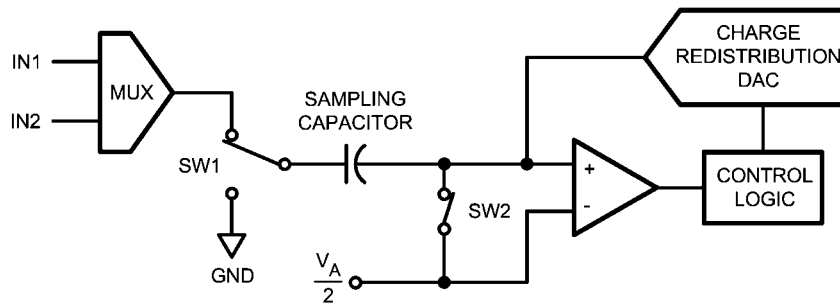


FIGURE 1. ADC102S101 in Track Mode

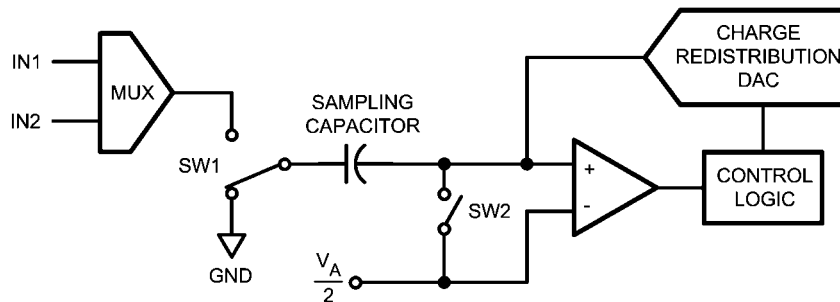


FIGURE 2. ADC102S101 in Hold Mode

2.0 ADC102S101 の使用

ADC102S101 のタイミング図と ADC102S101 のシリアル・インタフェースのタイミング図を「タイミング図」セクションに示します。 \overline{CS} はチップ・セレクトを表し、ADC102S101 の変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。DOUT はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリームとして出力されます。シリアル・データ・ピン DIN のデータは ADC102S101 の制御レジスタに書き込まれます。DIN には変換ごとに新しいデータが書き込まれます。

シリアル・フレームは \overline{CS} の立ち下がりがエッジで始まり、 \overline{CS} の立ち上がりエッジで終わります。各フレームには 16 の整数倍の立ち上がり SCLK エッジが存在する必要があります。A/D コンバータの出力データ (DOUT) ピンは、 \overline{CS} が High のとき高インピーダンス状態になり、 \overline{CS} が Low のときアクティブ状態になります。このため、 \overline{CS} は出力イネーブル信号として機能します。さらに、 \overline{CS} が High になった場合や連続した変換サイクルのサイクル間にも、デバイスはパワーダウン状態に移行します。

SCLK の最初の 3 サイクルの間、A/D コンバータはトラック・モードになっており、入力電圧を取り込みます。SCLK の次の 13 サイ

クルでは変換が実行され、MSB を先頭に 5 番目のクロックから同期したデータが出力されます。1 つのフレーム期間内に 2 回以上の変換が実行されると、A/D コンバータは SCLK の $N \times 16$ 番目の立ち上がりエッジ後の SCLK の立ち下がりがエッジでトラック・モードに再び移行し、 $N \times 16 + 4$ 番目の SCLK の立ち下がりがエッジでホールド / 変換モードに再び移行します (N は整数)。

\overline{CS} を High にすると、SCLK は内部のゲートによりオフになります。 \overline{CS} が High のときに SCLK を Low 状態で停止すると、その後の \overline{CS} の立ち下がりがエッジ時に A/D コンバータ内部の SCLK に立ち下がりがエッジが生成され、これによって A/D コンバータはトラック・モードに移行します。A/D コンバータでは、これを SCLK の最初の立ち下がりがエッジとして認識します。SCLK が High の状態で SCLK を停止すると、A/D コンバータは \overline{CS} の立ち下がりがエッジの後の最初の立ち下がりがエッジでトラック・モードに移行します。

各変換期間中、 \overline{CS} の立ち下がりがエッジ後、先頭の 8 つの SCLK 立ち上がりエッジで、データはクロックに同期して DIN ピンに入力されます。それぞれの変換では、現在の変換後の変換を対象として選択されている入力を示しているデータで同期をとる必要があります。Table 1 ~ 3 を参照してください。

アプリケーション情報 (つづき)

$\overline{\text{CS}}$ と SCLK が同時に Low になった場合、SCLK の次の立ち上がりエッジが、データをクロックに同期して DIN に入力するための先頭の立ち上がりエッジとみなされます。

ADC102S101 では、パワーアップ遅延時間やダミー変換は必要ありません。A/D コンバータでは、電源投入直後から入力のサンプリングと全ビットの変換を実行できます。電源投入後の最初の変換結果は、IN1 の変換結果になります。

TABLE 1. Control Register Bits

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DONTC	DONTC	ADD2	ADD1	ADD0	DONTC	DONTC	DONTC

TABLE 2. Control Register Bit Descriptions

ビット	シンボル	説明
7 - 6, 2 - 0	DONTC	Don't care です。これらのビットの値はデバイスには影響を与えません。
3	ADD0	この 3 ビットで、次のトラック / ホールド・サイクルでサンプリングと変換を行う入力チャンネルを指定します。ビット・パターンとチャンネルの対応を Table 3 に示します。
4	ADD1	
5	ADD2	

TABLE 3. Input Channel Selection

ADD2	ADD1	ADD0	入力チャンネル
x	0	0	IN1 (デフォルト)
x	0	1	IN2
x	1	x	設定できません。ADD1 を High にすると、D _{OUT} ピンでの出力信号は不確定の状態になります。

アプリケーション情報 (つづき)

3.0 ADC102S101 の変換機能

ADC102S101 の出力フォーマットはストレート・バイナリ形式です。コード遷移は連続する LSB と LSB の中点付近で生じます。ADC102S101 の LSB の大きさは、 $V_A/1024$ です。理想的な変換特性を Figure 3 に示します。出力コードが 00 0000 0000 から

00 0000 0001 に遷移するのは 1/2LSB の点で、電圧に換算すると $V_A/2048$ になります。その他のコード遷移は 1LSB 単位で行われます。

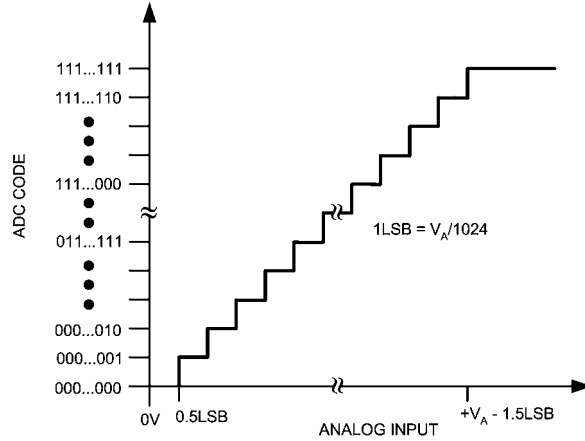


FIGURE 3. Ideal Transfer Characteristic

4.0 代表的なアプリケーション回路

ADC102S101 の代表的アプリケーション回路の例を Figure 4 に示します。この例では、ナショナル セミコンダクターの LP2950 低ドロップアウト電圧レギュレータ (数種類の固定出力電圧タイプと可変電圧タイプを入手可能) を使用して電源を供給しています。アナログ電源は ADC102S101 近くに配置したコンデンサ・ネットワークでバイパスしています。ADC102S101 は電源電圧をリファレンス電圧にしているため、電源電圧にノイズが乗っているとデバイスの

ノイズ性能が低下します。電源からノイズを取り除くには、このデバイス専用のリニア・レギュレータを使用するか、その他の回路からのデカップリングを十分に行って ADC102S101 の電源ピンからノイズを除去します。ADC102S101 の消費電力は小さいため、高精度な電圧リファレンスを電源として用いて性能を最大限に引き出すことも可能です。図では 4 本の信号をマイクロプロセッサまたは DSP に接続しています。

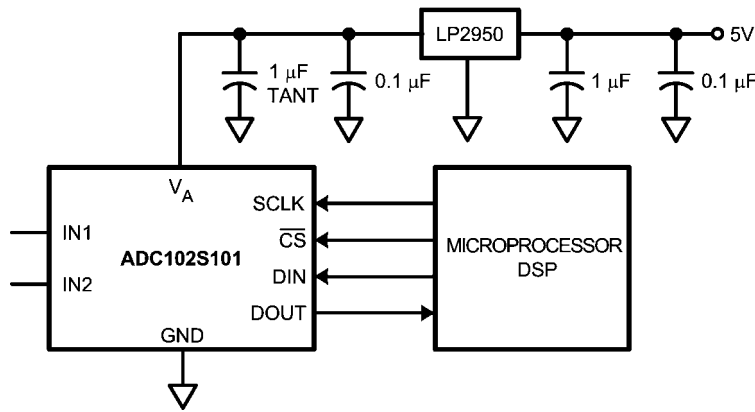


FIGURE 4. Typical Application Circuit

アプリケーション情報 (つづき)

5.0 アナログ入力

ADC102S101の片方の入力チャンネルの等価回路をFigure 5に示します。ダイオードD1とD2はアナログ入力のESD保護を目的としています。ESDダイオードが導通すると動作が正常でなくなる可能性があるため、アナログ入力は瞬時であっても($V_A + 300\text{mV}$)より大きい値または($\text{GND} - 300\text{mV}$)より小さい値にならないようにしてください。

Figure 5に示すコンデンサC1の代表値は3pFで、これは主にパッケージのピン間容量です。抵抗R1はマルチプレクサとトラック/ホールド回路のスイッチに起因するもので代表値は500Ωです。コンデンサC2はADC102S101のサンプリング・コンデンサで、代表値は30pFです。サンプリング・コンデンサの充電で生じる入力の変動を吸収させる意味で、ADC102S101は低インピーダンスの信号源で駆動されたときに最も高い性能を発揮します。この方法が特に重要なのは、ADC102S101を使用してAC信号をサンプリングする場合です。また、ダイナミック信号をサンプリングする場合にも重要で、バンドパス・フィルタまたはローパス・フィルタを使用すれば、高調波やノイズを除去してダイナミック特性を改善することができます。

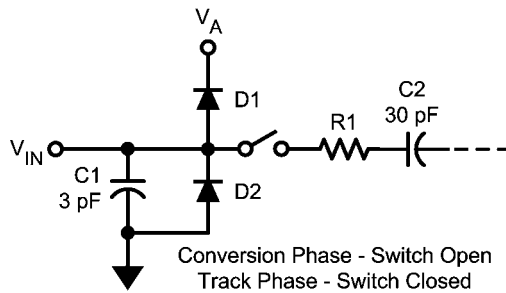


FIGURE 5. Equivalent Input Circuit

6.0 デジタル入力とデジタル出力

ADC102S101のデジタル出力DOUTは電源電圧 V_A で制限されており、この値を超えることはできません。デジタル入力ピンはラッチアップ耐性が優れています。このため、推奨事項ではありませんが、仮にSCLK、 $\overline{\text{CS}}$ 、DINに制御信号をアサートしてから V_A を印加してもラッチアップが発生する危険はありません。

7.0 電源構成

$\overline{\text{CS}}$ がLowのとき、ADC102S101は完全にパワーアップし、 $\overline{\text{CS}}$ がHighのとき完全にパワーダウンします。ただし例外があり、変換処理の16番目のSCLK立ち下がりがエッジから、次の変換処理の1番目のSCLK立ち下がりがエッジまでの間は、ADC102S101は自動的にパワーダウン・モードに移ります(タイミング図参照)。

ADC102S101は連続して複数の変換を実行します。各変換には16SCLKサイクルがかかります。ADC102S101は $\overline{\text{CS}}$ がLowの間は変換を継続して実行します。

単位時間あたりの変換数を減らせば、設計者はスループットと消費電力のどちらかを優先できます。「代表的な性能特性」セクションの「Power Consumption vs. Throughput」に、ADC102S101の代表的な消費電力対スループットのグラフを示します。消費電力を求めるには、ノーマル・モードで動作する時間の割合にノーマル・モード時の消費電力を乗算し、シャットダウン・モードで動作する時間の割合にシャットダウン・モード時の消費電力を乗算して、両者を加算します。

7.1 パワー・マネジメント

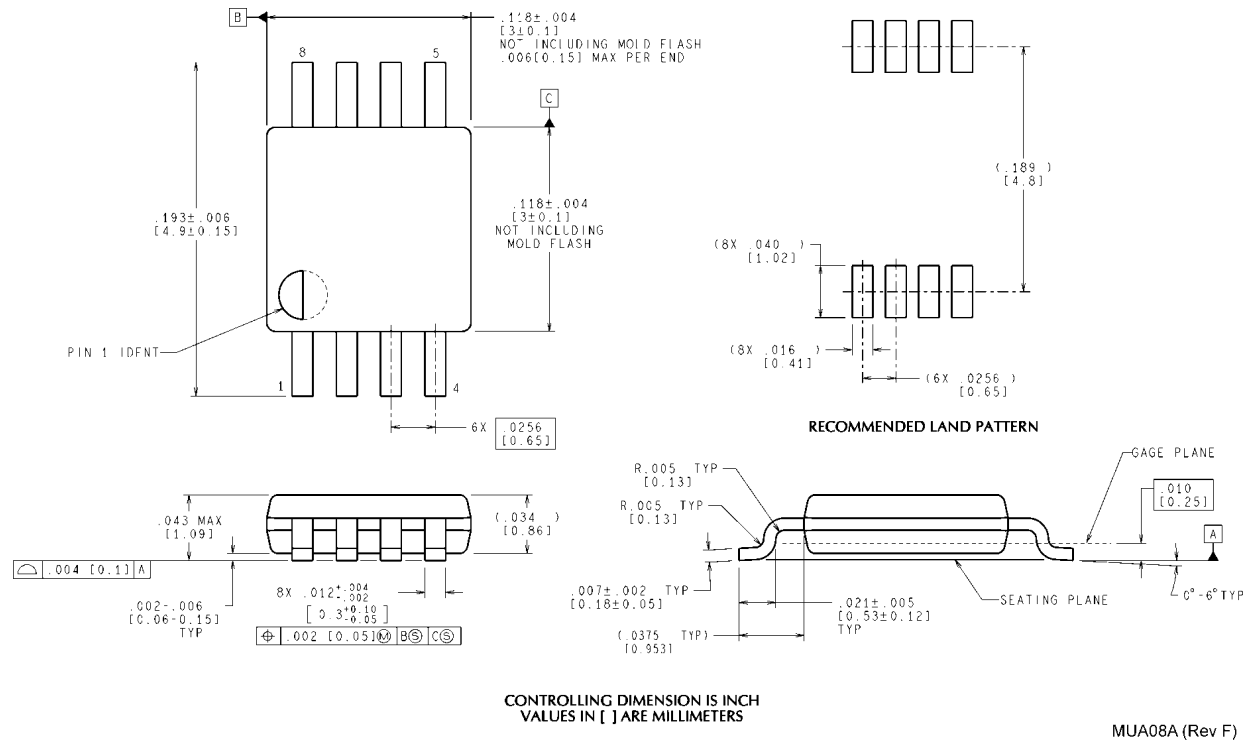
ADC102S101をノーマル・モードで連続的に動作させた場合、最大スループットは $f_{\text{SCLK}}/16$ になります。スループットより消費電力を優先するには、 f_{SCLK} を最大値の16MHzで動作させ、単位時間あたりに実行する変換数を減らし、変換と変換の間にADC102S101をシャットダウン・モードにします。代表的な消費電力とスループットのグラフを「代表的な性能特性」の項に示します。あるスループットでの消費電力を求めるには、ノーマル・モードで動作する時間の割合にノーマル・モード時の消費電力を乗算し、シャットダウン・モードで動作する時間の割合にシャットダウン・モード時の消費電力を乗算して、両者を加算します。通常、設計者はデバイスをいったんノーマル・モードにしてからシャットダウン・モードに戻します。「Power Consumption vs. Throughput」のグラフは、ほぼ直線です。これは、シャットダウン・モードでの消費電力はきわめて少ないため、実用上はあらゆる用途で消費電力を無視できることが理由です。

7.2 電源ノイズに関する考慮事項

出力負荷容量の充電には、電源 V_A から電流を供給する必要があります。出力容量を充電するために電源から供給する必要がある電流パルスにより、電源電圧は変動します。この変動が十分大きいと、A/DコンバータのS/N比やSINADの性能が低下する可能性があります。さらに、デジタル出力がHighからLowに移行するとき出力容量を放電することにより、抵抗値を持つダイ・サブストレートに電流が急激に流れます。負荷放電電流は、サブストレートに「グラウンド・バウンス」ノイズを引き起こすため、この電流が十分大きい場合はノイズ性能を低下させる原因になります。出力容量が増えると、ダイ・サブストレートを流れる電流が増大してアナログ・チャンネルにカップリングされるノイズが大きくなるため、ノイズ性能が低下します。

ノイズを電源から除去するには、出力負荷容量を実用上最小限の値に保ちます。負荷容量値が50pFを超える場合は、A/Dコンバータの出力に100Ωの抵抗を直列に接続します。接続位置はA/Dコンバータの出力ピンに実用上最も近い位置にします。こうすることにより、出力容量の充電電流と放電電流を制限し、ノイズ性能を改善できます。

外形寸法図 特記のない限り inches (millimeters)



8-Lead MSOP

Order Number ADC102S101CIMM, ADC102S101CIMMX
NS Package Number P0MUA08A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上