

ADC08D1020

ADC08D1020 Low Power, 8-Bit, Dual 1.0 GSPS or Single 2.0 GSPS A/D Converter



Literature Number: JAJSAN0



ADC08D1020

低消費電力、8ビット、デュアル 1.0GSPS/シングル 2.0GSPS A/D コンバータ

概要

ADC08D1020 は、ADC08D1000 プラットフォームに基づいて構築された、低消費電力、高性能の CMOS デュアル A/D コンバータです。このデバイスは、最大サンプリング・レート 1.3GSPS、8ビットの分解能で信号をデジタル化します。ADC08D1000 の機能を拡張し、例えば、システム・デバッグ用のテスト・パターン出力、クロック位相の調整、選択可能な出力デマルチプレクサ・モードの使用などが可能になりました。1.9V の単一電源による 1GSPS 動作時に、非デマルチプレクサ・モードでは代表値で 1.6W を消費し、全動作温度範囲にわたってノー・ミッシング・コードが保証されています。独自のセルフキャリブレーション・フォールディング・アーキテクチャ、完全な差動コンバータ設計、画期的な内部サンプル・ホールド・アンプ回路、さらには較正機能の採用によって、すべてのダイナミック・パラメータはナイキスト周波数を上回る周波数帯まで平坦な応答を示し、入力信号が 498MHz、サンプリング周波数が 1GHz のときに 7.4 有効ビット (ENOB) を達成しています。コード誤り率 (C.E.R.) は 10^{-18} です。出力フォーマットはオフセット・バイナリ形式です。LVDS デジタル出力は、同相電圧を 0.8V から 1.2V の範囲に設定可能な点を除いて、IEEE 1596.3-1996 と互換性があります。

各コンバータは 2 組の LVDS バスにデータを供給する選択可能な出力デマルチプレクサを内蔵しています。1:2 デマルチプレクサ・モードを選択した場合、出力データ・レートは、各バスの入力サンプリング・レートの半分に低下します。非デマルチプレクサ・モードを選択した場合は、チャンネル DI および DQ に出力されるデータのレートは、入力サンプリング・クロックと同じになります。2 系統のコンバータ回路をインタリーブ構成にすれば、2GSPS のシングル A/D コンバータとして使用することも可能です。

コンバータの消費電力はパワーダウン・モード時に代表値で 3.5mW 未満です。熱特性を高めた 128 ピンの露出パッド付き鉛使用または鉛フリー LQFP で供給され、工業温度範囲 (- 40 T_A + 85) で動作します。

特長

- 単一 + 1.9V \pm 0.1V 電源動作
- 2 倍のサンプリング・レートを実現するインタリーブ・モード
- 複数 A/D コンバータの同期機能
- 入力フルスケール・レンジ、オフセット、クロック位相の調整
- SDR と DDR の出力クロッキングを選択可能
- 1:1 または 1:2 を選択可能な出力デマルチプレクサ
- 第 2 の DCLK 出力
- サンプリング・クロックのデューティ・サイクル補正
- テスト・パターン・データの発生

主な仕様

分解能	8ビット
最大変換レート	1GSPS (min)
コード誤り率	10^{-18} (typ)
ENOB@498MHz 入力 (通常モード)	7.4ビット (typ)
DNL	± 0.15 LSB (typ)
消費電力	
- 非デマルチプレクサ出力の場合	1.6W (typ)
- 1:2 デマルチプレクサ出力の場合	1.7W (typ)
- パワーダウン・モード	3.5mW (typ)

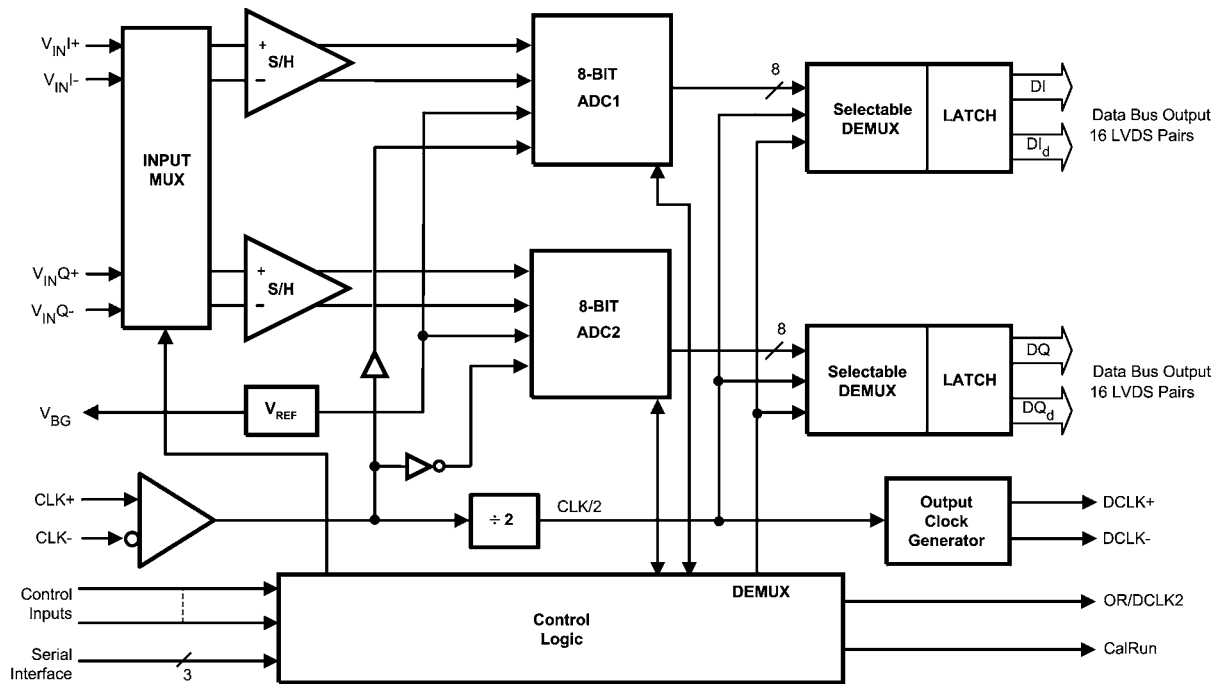
アプリケーション

- RF のダイレクト・ダウンコンバージョン
- デジタル・オシロスコープ
- セットアップ・ボックス
- 通信システム
- 試験測定機器

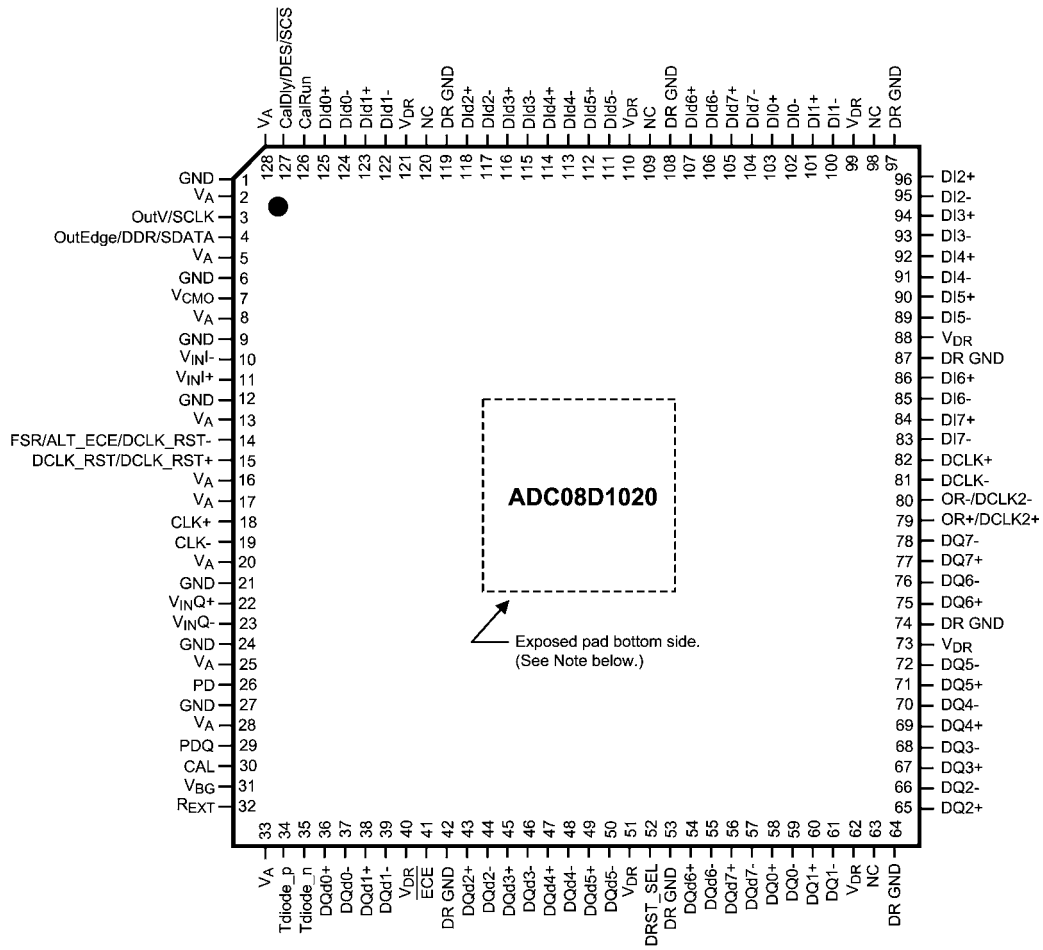
製品情報

Industrial Temperature Range (-40°C < T_A < +85°C)	NS Package
ADC08D1020CIYB	Leaded 128-Pin Exposed Pad LQFP
ADC08D1020CIYB/NOPB	Lead-free 128-Pin Exposed Pad LQFP
ADC08D1020DEV	Development Board

ブロック図



ピン配置図



Note: パッケージ裏面の露出パッドは、定格性能を維持するために、グラウンド層にハンダ付けしてください。

ピン説明および等価回路

機能説明

ピン番号	シンボル	等価回路	説明
3	OutV / SCLK		出力電圧振幅の選択、またはシリアル・インタフェース・クロック。差動 DCLK 出力と差動データ出力に通常の差動振幅を与えるにはこのピンを High に接続します。振幅を小さくして同時に消費電力を抑えるには、このピンをグラウンドに接続します。「1.1.6 LVDS 出力」を参照してください。拡張制御モードをイネーブルにすると、このピンはシリアル・データを入力するクロック SCLK として機能します。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。シリアル・インタフェースの詳細は「1.3 シリアル・インタフェース」を参照してください。
29	PDQ		パワーダウン・ピン。PD ピンを High にすると A/D コンバータ全体がパワーダウン・モードに移行します。
4	OutEdge / DDR / SDATA		DCLK エッジの選択、またはダブル・データレートのイネーブル、またはシリアル・データ入力。出力データ信号が遷移する DCLK + の出力エッジを設定します（「1.1.5.2 OutEdge とデマルチプレクサ制御設定」参照）。このピンをフローティングにするか電源電圧の 1/2 の電圧に接続すると DDR クロッキングがイネーブルになります。拡張制御モードがイネーブルのときは、このピンは SDATA 入力として機能します。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。シリアル・インタフェースの詳細は「1.3 シリアル・インタフェース」を参照してください。
15	DCLK_RST/ DCLK_RST +		DCLK リセット。DCLK_RST をフローティングにするか、52 ピンをロジック High にして、シングルエンドの DCLK_RST を選択した場合、このピンに正のパルスを加えることにより、複数のコンバータの DCLK 出力をリセットして同期させることができます。詳細は「1.5 複数デバイスの同期」を参照してください。52 ピンを Low にして、差動 DCLK_RST を選択した場合、このピンには複数のコンバータの DCLK 出力をリセットおよび同期させる差動信号の、正側を入力します。
26	PD		PDQ ピンを High にすると "Q" チャネルのコンバータのみがパワーダウン・モードに移行します。
30	CAL		較正サイクルの起動。このピンに 1280 入力クロック以上 Low を与えた後 1280 入力クロック以上 High を与えると較正シーケンスが始まります。較正の概要は「2.4.2 較正」を、コマンド較正の詳細は「2.4.2.2 コマンドによる較正」を参照してください。

ピン説明および等価回路 (つづき)

機能説明

ピン番号	シンボル	等価回路	説明
14	FSR/ALT_ECE/ DCLK_RST -		<p>フルスケール・レンジ選択、または代替拡張制御イネーブルおよび DCLK_RST -。このピンは 3 つの機能を持っています。A/D コンバータのフルスケール電圧の条件制御、拡張制御モードのイネーブル、差動 DCLK_RST モードの場合の負側差動信号の入力に使えます。52 ピンと 41 ピンがフローティングまたは High の場合、フルスケール・レンジの設定ピン、または拡張制御の代替イネーブル・ピン (41 ピンの代わり) として機能します。FSR ピンとして使用する場合、このピンを Low にするとフルスケール差動入力レンジ V_{IN} が狭く設定されます。このピンを High にすると、フルスケール差動入力レンジ V_{IN} が広く設定されます。「コンバータの電気的特性」を参照してください。シリアル・インタフェースと制御レジスタを用いる拡張制御モードをイネーブルにするには、このピンをフローティングにするか $V_A/2$ に等しい電圧を与えます。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。このピンによる拡張制御のイネーブル設定は、41 ピンによる設定のほうが優先されることに注意が必要です。52 ピンを Low に保持すると、このピンは DCLK_RST - ピンとして機能します。差動 DCLK_RST モードの場合、ピンによる FSR 設定は行われず、フルスケール・レンジ V_{IN} はデフォルトの広い範囲に設定されます。</p>
127	CalDly / DES / \overline{SCS}		<p>較正遅延、またはデュアル・エッジ・サンプリング、またはシリアル・インタフェース・チップセレクト。14 ピンが High または Low のとき、このピンは較正遅延として機能し、パワーアップ後に較正を開始するまでの遅延を入力クロックのサイクル数によって設定します(「1.1.1 較正」を参照してください)。14 ピンがフローティングのとき、このピンはシリアル・インタフェース入力のイネーブルとして動作し、CalDly (較正遅延) 値はゼロとして取り扱われます(短時間遅延のみで、パワーオン較正の長時間遅延は設定できません)。このピンをフローティングにするか $V_A/2$ に等しい電圧に接続すると DES (デュアル・エッジ・サンプリング) モードが選択され、「I」入力が入力クロック・レートの 2 倍でサンプリングされ、「Q」入力は無視されます。「1.1.5.1 デュアル・エッジ・サンプリング」を参照してください。</p>
18 19	CLK + CLK -		<p>A/D コンバータの LVDS クロック入力ピン。差動クロックを AC 結合してこのピンに与えてください。入力信号は CLK + の立ち下がりエッジでサンプリングされます。入力データ取り込みの詳細については「1.1.2 入力の取り込み」を、クロック入力の概要については「2.3 クロック入力」を参照してください。</p>
11 10 22 23	$V_{IN}I +$ $V_{IN}I -$ $V_{IN}Q +$ $V_{IN}Q -$		<p>A/D コンバータのアナログ信号入力。この入力に対する差動フルスケール・レンジは、通常モードでは FSR ピン (14 ピン)、拡張制御モードでは入力フルスケール電圧調整レジスタによってプログラム可能です。通常モードのフルスケール入力レンジについては、「コンバータの電気的特性」の V_{IN} の仕様を参照してください。拡張制御モードによるフルスケール入力レンジの設定については「1.4 レジスタの説明」を参照してください。</p>

ピン説明および等価回路(つづき)

機能説明

ピン番号	シンボル	等価回路	説明
7	V_{CMO}		<p>同相電圧。このピンには、DC 結合モードにおける同相電圧が出力されます。また、AC 結合モードの選択ピンとしても機能します。DC 結合を用いる場合は、このピンの出力電圧を V_{IN+} と V_{IN-} の入力同相電圧とする必要があります。アナログ入力を AC 結合で使用する場合はこのピンをグラウンドに接続します。このピンは 100μA までソースまたはシンクが可能です。「2.2 アナログ入力」を参照してください。</p>
31	V_{BG}		<p>バンドギャップ出力電圧。100μA までのソースまたはシンクに対応し、最大 80pF の負荷を駆動できます。</p>
126	CalRun		<p>較正処理の実行中。較正処理の実行中はこのピンが High になります。</p>
32	R_{EXT}		<p>外付けバイアス抵抗の接続。このピンとグラウンドとの間に定格 3.3k ($\pm 0.1\%$) の抵抗を接続してください。「1.1.1 較正」を参照してください。</p>
34 35	Tdiode_P Tdiode_N		<p>ダイ温度測定用の温度ダイオードの正極(アノード)と負極(カソード)です。「2.6.2 サーマル・マネジメント」を参照してください。</p>
41	\overline{ECE}		<p>拡張制御モード・ピン。拡張制御をイネーブル、またはディスエーブルします。このピンを High にすると拡張制御モードは無効になり、デバイスの制御はすべて制御ピンによって行われなければなりません。このピンを Low にすると拡張制御モードが有効になります。このピンによる拡張制御のイネーブル設定は、14 ピンによる設定より優先されることに注意が必要です。</p>
52	DRST_SEL		<p>DCLK_RST 選択。このピンは、DCLK のリセットをシングルエンドの信号で行うか、差動信号で行うかを選択します。このピンがフローティングまたは High の場合、DCLK_RST はシングルエンド信号によって動作し、14 ピンは FSR/ALT_ECE として機能します。このピンを Low にすると、DCLK_RST は 15 ピン (DCLK_RST +) および 14 ピン (DCLK_RST -) の差動信号によって動作します。差動 DCLK_RST モードの場合、ピンによる FSR 設定は行われず、フルスケール・レンジ V_{IN} はデフォルトの広い範囲に設定されます。41 ピンを Low にすると拡張制御モードが有効になり、フルスケール電圧調整レジスタをプログラムできるようになります。</p>

ピン説明および等価回路 (つぎ)

機能説明

ピン番号	シンボル	等価回路	説明
83 / 78 84 / 77 85 / 76 86 / 75 89 / 72 90 / 71 91 / 70 92 / 69 93 / 68 94 / 67 95 / 66 96 / 65 100 / 61 101 / 60 102 / 59 103 / 58	DI7 - / DQ7 - DI7 + / DQ7 + DI6 - / DQ6 - DI6 + / DQ6 + DI5 - / DQ5 - DI5 + / DQ5 + DI4 - / DQ4 - DI4 + / DQ4 + DI3 - / DQ3 - DI3 + / DQ3 + DI2 - / DQ2 - DI2 + / DQ2 + DI1 - / DQ1 - DI1 + / DQ1 + DI0 - / DQ0 - DI0 + / DQ0 +		I チャンネルおよび Q チャンネルの LVDS 出力で、出力デマルチプレクサで遅延を与えられていません。DI _{id} 出力および DQ _d 出力と比べて DI 出力および DQ 出力は遅い方のサンプリングに該当します。各出力は差動 100 Ω 抵抗で必ず終端しなければなりません。
104 / 57 105 / 56 106 / 55 107 / 54 111 / 50 112 / 49 113 / 48 114 / 47 115 / 46 116 / 45 117 / 44 118 / 43 122 / 39 123 / 38 124 / 37 125 / 36	DI _d 7 - / DQ _d 7 - DI _d 7 + / DQ _d 7 + DI _d 6 - / DQ _d 6 - DI _d 6 + / DQ _d 6 + DI _d 5 - / DQ _d 5 - DI _d 5 + / DQ _d 5 + DI _d 4 - / DQ _d 4 - DI _d 4 + / DQ _d 4 + DI _d 3 - / DQ _d 3 - DI _d 3 + / DQ _d 3 + DI _d 2 - / DQ _d 2 - DI _d 2 + / DQ _d 2 + DI _d 1 - / DQ _d 1 - DI _d 1 + / DQ _d 1 + DI _d 0 - / DQ _d 0 - DI _d 0 + / DQ _d 0 +		I チャンネルおよび Q チャンネルの LVDS 出力で、出力デマルチプレクサで 1CLK 分の遅延を与えられています。DI 出力および DQ 出力と比べて DI _d 出力および DQ _d 出力は早い方のサンプリングに該当します。これらの出力が有効な場合には、差動 100 Ω 抵抗で終端しなければなりません。非デマルチプレクサ・モードの場合、これらの出力は無効となり、イネーブル時にはハイ・インピーダンス状態になります。ディスエーブル時には、フローティングのままにしておく必要があります。
79 80	OR + / DCLK2 + OR - / DCLK2 -		アウト・オブ・レンジ出力。差動 High は差動入力レンジ外にあることを示します (非拡張制御モードの場合の FSR ピン、または拡張制御モードの入力フルスケール電圧調整レジスタで規定される $\pm V_{IN}/2$ のレンジ外)。DCLK2 は、DCLK を完全に複製した信号で、同じレートで同じ信号を出力します。
82 81	DCLK + DCLK -		データ・クロック。出力データのラッチに使用する差動クロック出力。このクロック信号に同期して、遅延データと非遅延データが出力されます。1:2 デマルチプレクサ・モードの場合、この信号の周波数は、SDR モードでは入力クロック・レートの 1/2 になり、DDR モードでは入力クロック・レートの 1/4 になります。デフォルトでは、較正サイクルの終端抵抗調整中は、DCLK 出力が駆動されません。DCLK が較正サイクル中も連続して動作する必要があるシステムでは、拡張構成レジスタ (アドレス 9h) の抵抗調整ディスエーブル (RTD) ビットを High に設定することにより、較正サイクル内の終端抵抗調整の部分を無効にすることができます。この設定により、パワーオン較正時の初期調整後の終端抵抗調整はすべてディスエーブルされます。抵抗調整を無効にしない限り、この出力をシステム・クロックとして使用することは推奨できません。デバイスを非デマルチプレクサ・モードで使用する場合、DCLK は DDR モードのみとなり信号レートは入力クロック・レートの半分になります。

ピン説明および等価回路 (つぎ)

機能説明

ピン番号	シンボル	等価回路	説明
2, 5, 8, 13, 16, 17, 20, 25, 28, 33, 128	V_A		アナログ電源ピン。グラウンドに対してバイパスを行ってください。
40, 51, 62, 73, 88, 99, 110, 121	V_{DR}		出力ドライバの電源ピン。DR GND に対してバイパスを行ってください。
1, 6, 9, 12, 21, 24, 27	GND		V_A のグラウンド・リターン。
42, 53, 64, 74, 87, 97, 108, 119	DR GND		V_{DR} のグラウンド・リターン。
63, 98, 109, 120	NC		未接続ピン。これらのピンには何も接続しないでください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_A , V_{DR})	2.2V
電源電圧差 $V_{DR} - V_A$	0V ~ + 100mV
各入出力ピン電圧	- 0.15V ~ ($V_A + 0.15V$)
グラウンド電圧差 GND - DR GND	0V ~ 100mV
各ピンの入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
T_A 85 における消費電力	2.3W
ESD 耐性 (Note 4)	
人体モデル	2500V
マシン・モデル	250V
デバイス帯電モデル	1000V
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

周囲温度範囲	- 40	T_A	+ 85
電源電圧 (V_A)	+ 1.8V	~ + 2.0V	
ドライバ電源電圧 (V_{DR})	+ 1.8V	~ V_A	
入力同相電圧	$V_{CMO} \pm 50mV$		
V_{IN+} 、 V_{IN-} の電圧範囲 (同相モードを維持する)	200mV ~ V_A		
グラウンド電圧差 (GND - DR GND)	0V		
CLK ピン電圧範囲	0V ~ V_A		
差動 CLK 振幅	0.4V _{P-P} ~ 2.0V _{P-P}		

パッケージ熱抵抗

Package	θ_{JA}	θ_{JC} Top of Package	θ_{JC} Thermal Pad
128-Lead, Exposed Pad LQFP	26°C / W	10°C / W	2.8°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packageing をご覧ください。 (Note 5)

コンバータの電気的特性

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = + 1.9V$ 、 $OutV = 1.9V$ 、 V_{IN} FSR (AC 結合) = 差動 870mV_{P-P}、 $C_L = 10pF$ 、0.5V_{P-P} でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25$ で規定されます。 (Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
INL	Integral Non-Linearity (Best fit)	DC Coupled, 1 MHz Sine Wave Overranged	±0.3	±0.9	LSB (max)
DNL	Differential Non-Linearity	DC Coupled, 1 MHz Sine Wave Overranged	±0.15	±0.6	LSB (max)
	Resolution with No Missing Codes			8	Bits
V_{OFF}	Offset Error		-0.45		LSB (min) LSB (max)
V_{OFF_ADJ}	Input Offset Adjustment Range	Extended Control Mode	±45		mV
PFSE	Positive Full-Scale Error	(Note 9)		±25	mV (max)
NFSE	Negative Full-Scale Error	(Note 9)		±25	mV (max)
FS_ADJ	Full-Scale Adjustment Range	Extended Control Mode	±20	±15	%FS
NORMAL MODE (Non DES) DYNAMIC CONVERTER CHARACTERISTICS, 1:2 DEMUX MODE					
FPBW	Full Power Bandwidth	Normal Mode	2.0		GHz
C.E.R.	Code Error Rate		10 ⁻¹⁸		Error/Sample
	Gain Flatness	d.c. to 498 MHz d.c. to 1 GHz	±0.8 ±1.0		dBFS dBFS
ENOB	Effective Number of Bits	$f_{IN} = 248$ MHz, $V_{IN} = FSR - 0.5$ dB $f_{IN} = 498$ MHz, $V_{IN} = FSR - 0.5$ dB	7.4 7.4	7.0 7.0	Bits (min) Bits (min)
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 248$ MHz, $V_{IN} = FSR - 0.5$ dB $f_{IN} = 498$ MHz, $V_{IN} = FSR - 0.5$ dB	46.5 46.5	43.9 43.9	dB (min) dB (min)
SNR	Signal-to-Noise Ratio	$f_{IN} = 248$ MHz, $V_{IN} = FSR - 0.5$ dB $f_{IN} = 498$ MHz, $V_{IN} = FSR - 0.5$ dB	46.8 46.8	45.1 45.1	dB (min) dB (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 870mV_{P-P}、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
THD	Total Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-58	-50	dB (max)
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-58	-50	dB (max)
2nd Harm	Second Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-63		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-63		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-65		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-65		dB
SFDR	Spurious-Free dynamic Range	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	58	50	dB (min)
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	58	50	dB (min)
IMD	Intermodulation Distortion	$f_{IN1} = 250\text{ MHz}, V_{IN} = FSR - 7\text{ dB}$	-50		dB
		$f_{IN2} = 260\text{ MHz}, V_{IN} = FSR - 7\text{ dB}$			
	Out of Range Output Code (In addition to OR Output high)	$(V_{IN+}) - (V_{IN-}) > +\text{ Full Scale}$		255	
		$(V_{IN+}) - (V_{IN-}) < -\text{ Full Scale}$		0	

NORMAL MODE (Non DES) DYNAMIC CONVERTER CHARACTERISTICS, 1:1 DEMUX MODE

ENOB	Effective Number of Bits	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	7.3		Bits
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	7.3		Bits
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	45.7		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	45.7		dB
SNR	Signal-to-Noise Ratio	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	46		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	46		dB
THD	Total Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-57		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-57		dB
2nd Harm	Second Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-63		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-63		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-64		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-64		dB
SFDR	Spurious-Free dynamic Range	$f_{IN} = 248\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	57		dB
		$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	57		dB

INTERLEAVE MODE (DES Pin 127=Float) - DYNAMIC CONVERTER CHARACTERISTICS, 1:4 DEMUX MODE

FPBW	Full Power Bandwidth	Dual Edge Sampling Mode	1.3		GHz
ENOB	Effective Number of Bits	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	7.3	6.7	Bits (min)
SINAD	Signal to Noise Plus Distortion Ratio	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	46	42.1	dB
SNR	Signal to Noise Ratio	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	46.3	43.8	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-58	-47	dB (max)
2nd Harm	Second Harmonic Distortion	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-58		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	-66		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 498\text{ MHz}, V_{IN} = FSR - 0.5\text{ dB}$	57	47	dB (min)

ANALOG INPUT AND REFERENCE CHARACTERISTICS

V_{IN}	Full Scale Analog Differential Input Range	FSR pin 14 Low	650	580	mV _{P-P} (min)
				720	mV _{P-P} (max)
		FSR pin 14 High	870	800	mV _{P-P} (min)
				940	mV _{P-P} (max)
V_{CM1}	Common Mode Input Voltage	V_{CMO}	$V_{CMO} - 0.05$	V (min)	
			$V_{CMO} + 0.05$	V (max)	

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 870mV_{P-P}、 $C_L = 10pF$ 、0.5V_{P-P} でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
C_{IN}	Analog Input Capacitance, Normal operation (Notes 10, 11)	Differential	0.02		pF
		Each input pin to ground	1.6		pF
	Analog Input Capacitance, DES Mode (Notes 10, 11)	Differential	0.08		pF
		Each input pin to ground	2.2		pF
R_{IN}	Differential Input Resistance		100		Ω (min)
					Ω (max)

ANALOG OUTPUT CHARACTERISTICS

V_{CMO}	Common Mode Output Voltage	$I_{CMO} = \pm 100 \mu A$	1.26	0.95	V (min)
				1.45	V (max)
$TC\ V_{CMO}$	Common Mode Output Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$	118		ppm/ $^\circ C$
V_{CMO_LVL}	V_{CMO} input threshold to set DC Coupling mode	$V_A = 1.8V$	0.60		V
		$V_A = 2.0V$	0.66		V
$C_{LOAD\ V_{CMO}}$	Maximum V_{CMO} load Capacitance			80	pF
V_{BG}	Bandgap Reference Output Voltage	$I_{BG} = \pm 100 \mu A$	1.26	1.20	V (min)
				1.33	V (max)
$TC\ V_{BG}$	Bandgap Reference Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$, $I_{BG} = \pm 100 \mu A$	28		ppm/ $^\circ C$
$C_{LOAD\ V_{BG}}$	Maximum Bandgap Reference load Capacitance			80	pF

CHANNEL-TO-CHANNEL CHARACTERISTICS

	Offset Match		1		LSB
	Positive Full-Scale Match	Zero offset selected in Control Register	1		LSB
	Negative Full-Scale Match	Zero offset selected in Control Register	1		LSB
	Phase Matching (I, Q)	$f_{IN} = 1.0\ GHz$	< 1		Degree
X-TALK	Crosstalk from I (Aggressor) to Q (Victim) Channel	Aggressor = 867 MHz F.S. Victim = 100 MHz F.S.	-65		dB
X-TALK	Crosstalk from Q (Aggressor) to I (Victim) Channel	Aggressor = 867 MHz F.S. Victim = 100 MHz F.S.	-65		dB

LVDS CLK Input Characteristics (Typical specs also apply to DCLK_RST)

V_{ID}	Differential Clock Input Level	Sine Wave Clock	0.6	0.4	V_{P-P} (min)
				2.0	V_{P-P} (max)
		Square Wave Clock	0.6	0.4	V_{P-P} (min)
				2.0	V_{P-P} (max)
V_{OSI}	Input Offset Voltage		1.2		V
C_{IN}	Input Capacitance (Notes 10, 11)	Differential	0.02		pF
		Each input to ground	1.5		pF

DIGITAL CONTROL PIN CHARACTERISTICS

V_{IH}	Logic High Input Voltage	OutV, DCLK_RST, PD, PDQ, CAL		0.69 x V_A	V (min)
		OutEdge, FSR, CalDly		0.79 x V_A	
V_{IL}	Logic Low Input Voltage	OutV, DCLK_RST, PD, PDQ, CAL		0.28 x V_A	V (max)
		OutEdge, FSR, CalDly		0.21 x V_A	
C_{IN}	Input Capacitance (Notes 11, 13)	Each input to ground	1.2		pF

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 870mV_{p-p}、 $C_L = 10pF$ 、 $0.5V_{p-p}$ でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OD}	LVDS Differential Output Voltage	Measured differentially, $OutV = V_A$, $V_{BG} = \text{Floating}$ (Note 15)	740	480 950	mV _{p-p} (min) mV _{p-p} (max)
		Measured differentially, $OutV = GND$, V_{BG} = Floating (Note 15)	560	320 720	mV _{p-p} (min) mV _{p-p} (max)
$\Delta V_{O\ DIFF}$	Change in LVDS Output Swing Between Logic Levels		± 1		mV
V_{OS}	Output Offset Voltage See Figure 1	$V_{BG} = \text{Floating}$	800		mV
V_{OS}	Output Offset Voltage See Figure 1	$V_{BG} = V_A$ (Note 15)	1175		mV
ΔV_{OS}	Output Offset Voltage Change Between Logic Levels		± 1		mV
I_{OS}	Output Short Circuit Current	Output+ & Output- connected to 0.8V	± 4		mA
Z_O	Differential Output Impedance		100		Ω
V_{OH}	CalRun H level output	$I_{OH} = -400 \mu A$ (Note 12)	1.65	1.5	V
V_{OL}	CalRun L level output	$I_{OH} = 400 \mu A$ (Note 12)	0.15	0.3	V
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	1:2 Demux Output PD = PDQ = Low	697	788	mA (max)
		PD = Low, PDQ = High	460	523	mA (max)
		PD = PDQ = High	1.7		mA
		Non-demux Output PD = PDQ = Low	712	803	mA (max)
I_{DR}	Output Driver Supply Current	PD = Low, PDQ = High	464	530	mA (max)
		PD = PDQ = High	1.5		mA
		1:2 Demux Output PD = PDQ = Low	212	300	mA (max)
		PD = Low, PDQ = High	117	161	mA (max)
P_D	Power Consumption	PD = PDQ = High	0.054		mA
		Non-demux Output PD = PDQ = Low	136	212	mA (max)
		PD = Low, PDQ = High	83.5	120	mA (max)
		PD = PDQ = High	0.047		mA
P_D	Power Consumption	1:2 Demux Output PD = PDQ = Low	1.7	2.06	W (max)
		PD = Low, PDQ = High	1.0	1.3	W (max)
		PD = PDQ = High	3.3		mW
		Non-demux Output PD = PDQ = Low	1.6	1.92	W (max)
PSRR1	D.C. Power Supply Rejection Ratio	PD = Low, PDQ = High	1.04	1.235	W (max)
		PD = PDQ = High	2.76		mW
		Change in Full Scale Error with change in V_A from 1.8V to 2.0V	30		dB

コンバータの電気的特性 (つぎ)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 870mV_{p-p}、 $C_L = 10pF$ 、0.5V_{p-p} でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
AC ELECTRICAL CHARACTERISTICS					
$f_{CLK\ (max)}$	Maximum Input Clock Frequency	Normal Mode (non DES) or DES Mode in 1:2 Demux Output	1.3	1.0	GHz (min)
		Normal Mode (non DES) or DES Mode in Non-demux Output		1.0	GHz (max)
$f_{CLK\ (min)}$	Minimum Input Clock Frequency	Normal Mode (non DES)	200		MHz
		DES Mode	500		MHz
	Input Clock Duty Cycle	200 MHz $\leq f_{CLK} \leq 1$ GHz (Normal Mode) (Note 12)	50	20	% (min)
				80	% (max)
		500 MHz $\leq f_{CLK} \leq 1$ GHz (DES Mode) (Note 12)	50	20	% (min)
				80	% (max)
t_{CL}	Input Clock Low Time	(Note 11)	500	200	ps (min)
t_{CH}	Input Clock High Time	(Note 11)	500	200	ps (min)
	DCLK Duty Cycle	(Note 11)	50	45	% (min)
				55	% (max)
t_{SR}	Setup Time DCLK_RST \pm	(Note 12) Differential DCLK_RST	90		ps
t_{HR}	Hold Time DCLK_RST \pm	(Note 12) Differential DCLK_RST	30		ps
t_{PWR}	Pulse Width DCLK_RST \pm	(Note 11)		4	CLK \pm Cycles (min)
t_{LHT}	Differential Low-to-High Transition Time	10% to 90%, $C_L = 2.5$ pF	150		ps
t_{HLT}	Differential High-to-Low Transition Time	10% to 90%, $C_L = 2.5$ pF	150		ps
t_{OSK}	DCLK-to-Data Output Skew	50% of DCLK transition to 50% of Data transition, SDR Mode and DDR Mode, 0° DCLK (Note 11)	± 50		ps (max)
t_{SU}	Data-to-DCLK Set-Up Time	DDR Mode, 90° DCLK (Note 11)	750		ps
t_H	DCLK-to-Data Hold Time	DDR Mode, 90° DCLK (Note 11)	890		ps
t_{AD}	Sampling (Aperture) Delay	Input CLK+ Fall to Acquisition of Data	1.6		ns
t_{AJ}	Aperture Jitter		0.4		ps (rms)
t_{OD}	Input Clock-to Data Output Delay (in addition to Pipeline Delay)	50% of Input Clock transition to 50% of Data transition	4.0		ns
	Pipeline Delay (Latency) in 1:2 Demux Mode (Notes 11, 14)	DI Outputs		13	Input Clock Cycles
				DI _d Outputs	
		DQ Outputs	Normal Mode	13	
			DES Mode	13.5	
		DQ _d Outputs	Normal Mode	14	
			DES Mode	14.5	
	Pipeline Delay (Latency) in Non-Demux Mode (Notes 11, 14)	DI Outputs		13	Input Clock Cycles
				DI _d Outputs	
		DQ Outputs	Normal Mode	13	
			DES Mode	13.5	
	Over Range Recovery Time	Differential V_{IN} step from $\pm 1.2V$ to 0V to get accurate conversion	1		Input Clock Cycle
t_{WU}	PD low to Rated Accuracy Conversion (Wake-Up Time)	Normal Mode (Note 11)	500		ns
		DES Mode (Note 11)	1		μs
f_{SCLK}	Serial Clock Frequency	(Note 11)	15		MHz
t_{SSU}	Serial Data to Serial Clock Rising Setup Time	(Note 11)	2.5		ns (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V$ 、 $OutV = 1.9V$ 、 $V_{IN} FSR$ (AC 結合) = 差動 870mV_{P-P}、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50%の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動、1:2 出力デマルチプレクサ・モード、デューティ・サイクル・スタビライザをオン。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
t_{SH}	Serial Data to Serial Clock Rising Hold Time	(Note 11)	1		ns (min)
t_{SCS}	\overline{CS} to Serial Clock Rising Setup Time		2.5		ns
t_{HCS}	\overline{CS} to Serial Clock Falling Hold Time		1.5		ns
	Serial Clock Low Time			26	ns (min)
	Serial Clock High Time			26	ns (min)
t_{CAL}	Calibration Cycle Time		1.4×10^6		Clock Cycles
t_{CAL_L}	CAL Pin Low Time	See Figure 10 (Note 11)		1280	Clock Cycles (min)
t_{CAL_H}	CAL Pin High Time	See Figure 10 (Note 11)		1280	Clock Cycles (min)
t_{CalDly}	Calibration delay determined by pin 127	CalDly = Low See 1.1.1 Calibration, Figure 10, (Note 11)		2^{26}	Clock Cycles (max)
		CalDly = High See 1.1.1 Calibration, Figure 10, (Note 11)		2^{32}	Clock Cycles (max)

Note 1: 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。絶対最大定格での動作は保証されません。動作定格とはデバイスが機能する条件を示していますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下でデバイスを動作させていない場合には、いくつかの性能特性は低下することがあります。

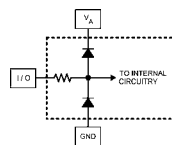
Note 2: 特記のない限り、すべての電圧は $GND = DR\ GND = 0V$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < GND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。これらのリミット値は、電源ピン、グラウンド・ピン、デジタル出力ピンには適用されません。

Note 4: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k Ω を通じて各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。デバイス帯電モデルでは、(自動装束機のフィードを滑り降りるデバイスによる帯電など) 帯電までの時間が長く、急速に放電されるピンのシミュレーションが行われます。

Note 5: リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合で異なります。

Note 6: アナログ入力は、以下に示されるように保護されています。絶対最大定格を超える入力電圧振幅はデバイスを破壊することがあります。



Note 7: 精度を保証するために、 V_A および V_{DR} 電源ピンにはそれぞれ別個のコンデンサを設けて十分にバイパスする必要があります。また、定格性能を達成するには、裏面の露出パッドをグラウンドに適切にハンダ付けする必要があります。

Note 8: 代表値 (Typical) は $T_A = 25^\circ C$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

Note 9: 本デバイスのフルスケール誤差の計算では、実際のリファレンス電圧はその公称値に正確に一致していると仮定しています。そのためデバイスのフルスケール誤差は、フルスケール誤差とリファレンス電圧誤差の組み合わせになります。Figure 2 を参照してください。ゲイン誤差とフルスケール誤差の関係についてはゲイン誤差の仕様定義を参照してください。

Note 10: アナログ入力容量とクロック入力容量はダイ容量のみです。リードとボンディング・ワイヤが持つインダクタンスによってダイ容量から分離された状態で、差動ピンにはグラウンドに対して 0.65pF の容量が、他のピンには 0.95pF の容量が、それぞれ存在します。

Note 11: このパラメータは設計によって保証されています。製造時の試験は行っていません。

Note 12: このパラメータは設計および特性評価、またはそのいずれか一方によって保証されています。製造時の試験は行っていません。

Note 13: デジタル制御ピン容量はダイ容量のみです。リードとボンディング・ワイヤのインダクタンスによってダイ容量から分離された状態で、各ピンにはグラウンドに対して 1.6pF の容量が存在します。

Note 14: ADC08D1020 の 2 系統のコンバータはそれぞれ 2 組の LVDS 出力バスを備えており、サンプリング・レートの半分のクロックでデータが出力されます。各バスのデータはサンプリング・レートの半分のクロックで出力されます。1:2 デマルチプレクサ・モードでは、第二のバス (D0 から D7) が、第一のバス (D0 から Dd7) のレイテンシより 1 クロック少ないパイプライン・レイテンシを有します。

Note 15: V_{BG} を電源レールに接続すると、上述の V_{OS} 仕様を示すように、出力オフセット電圧 (V_{OS}) が 400mV (代表値) 上昇します。また、 V_{BG} を電源レールに接続すると、差動 LVDS 出力電圧 (V_{OD}) にも影響が及んで、40mV (typ) 上昇します。

用語の定義

アパーチャ(サンプリグ) デレイ (**APERTURE (SAMPLING) DELAY**) とは、クロック入力のサンプリグ・エッジから計測して、入力ピンに与えられた信号がデバイス内部にサンプリグされるまでの遅延を表します。

アパーチャ・ジッタ (**APERTURE JITTER: t_{AJ}**) は、隣り合うサンプリグ間アパーチャ・デレイのばらつき期間を示します。アパーチャ・ジッタは入力のノイズとして現れます。

コード誤り率 (**Code Error Rate: C.E.R.**) は、誤りが発生する確率を表し、A/D コンバータ出力の単位時間あたりの推定エラー・ワード数をその時間内に観測されるワード数で除算したものと定義されます。 10^{-18} の CER は統計的に約 4 年ごとに発生する 1 ワード・エラーに相当します。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。1MHz の入力正弦波を 500MSPS でサンプリグして測定します。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB or EFFECTIVE BITS**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (**FULL POWER BANDWIDTH: FPBW**) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 低下する周波数として測定されます。

ゲイン誤差 (**GAIN ERROR**) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差はオフセット誤差とフルスケール誤差から求められます。

正側ゲイン誤差 = オフセット誤差 - 正側フルスケール誤差

負側ゲイン誤差 = - (オフセット誤差 - 負側フルスケール誤差)

ゲイン誤差 = 負側フルスケール誤差 - 正側フルスケール誤差
= 正側ゲイン誤差 + 負側ゲイン誤差

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、A/D コンバータ伝達関数から求められる理想的な直線と、ワースト・ケースにおける実際の伝達関数の値の偏差を表します。この直線と任意のコードとの偏差は、各コード値のステップの中央から測定します。ベスト・フィット法を使用します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される別のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (**LEAST SIGNIFICANT BIT**) は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。LSB の値は、次式で表されます。

$$V_{FS}/2^n$$

ここで、 V_{FS} は FSR 入力設定される差動フルスケール振幅 V_{IN} 、"n" はビット数を単位とする A/D コンバータの分解能で ADC08D1020 では 8 です。

LVDS 電圧 (**LOW VOLTAGE DIFFERENTIAL SIGNALING VOLTAGE: V_{ID} と V_{OD}**) は、それぞれグラウンドを基準として測定した V_{D+} 電圧と V_{D-} 電圧の差の絶対値の 2 倍です。

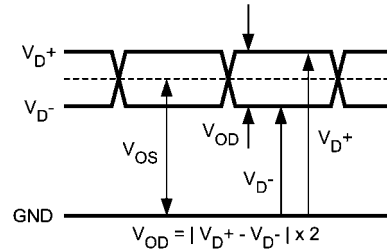


FIGURE 1.

LVDS 出力オフセット電圧 (**LVDS OUTPUT OFFSET VOLTAGE: V_{OS}**) は、D + ピン出力電圧と D - ピン出力電圧の中間、すなわち $(V_{D+} + V_{D-})/2$ です。

ミッシング・コード (**MISSING CODE**) は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて A/D コンバータから出力されないコードです。ミッシング・コードは、どのような値を入力しても決して出力されません。

MSB (**MOST SIGNIFICANT BIT**) は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (**NEGATIVE FULL-SCALE ERROR: NFSE**) は、最初のコード遷移点が、差動 $-V_{IN}/2$ から理想 $1/2$ LSB だけ高い電圧からどの程度ずれているかを表します。ADC08D1020 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

オフセット誤差 (**OFFSET ERROR: V_{OFF}**) は、中点が理想ゼロ電圧差動入力からどの程度ずれているかを表します。

オフセット誤差 = 平均 127.5 の出力コードを得るサンプリグ 8k 回の実入力値の平均

出力デレイ (**OUTPUT DELAY: t_{OD}**) は、CLK + の立ち下がりがエッジから出力ピンにアップデートされたデータが現れるまでのデレイ時間にパイプライン・デレイを加えたものです。

オーバーレンジ回復時間 (**OVER RANGE RECOVERY TIME**) は、コンバータから見た差動入力電圧が $\pm 1.2V$ から 0V に遷移した時点から、コンバータが回復して定格精度で変換を行えるようになるまでに必要な時間です。

パイプライン・デレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間を入力クロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・デレイと t_{OD} の和による変換により遅延が規定されます。

正側フルスケール誤差 (**POSITIVE FULL-SCALE ERROR**) は、最後のコード遷移点が、差動 $+V_{IN}/2$ から理想 $1-1/2$ LSB だけ低い電圧からどの程度ずれているかを表します。ADC08D1020 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

電源電圧変動除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) は、2 つの仕様を意味します。PSRR1 (DC PSRR) は、電源電圧が 1.8V から 2.0V に変化した結果生じるフルスケール誤差の比です。PSRR2 (AC PSRR) は、電源に乗っている AC 信号が出力でどの程度良好に除去されているかを表し、248MHz、50mV_{p-p} の信号を電源に重畳させて測定します。PSRR2 は、出力におけるその信号の出力振幅と、電源ピンにおけるその信号との比で示します。PSRR は dB で表されます。

用語の定義 (つづき)

信号対ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、出力における入力信号の rms 値とサンプリング周波数の 1/2 未満のそれ以外のすべてのスペクトラル成分 (高調波と DC を除く) の rms 値の合計との比で、単位は dB です。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D)** または **SINAD**) は、出力における入力信号の rms 値の、入力クロック周波数の 1/2 未満のそれ以外のスペクトラル成分 (高調波は含めるが、DC は除く) の rms 値に対する比で、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、出力における入力信号の rms 値とピーク・スプリアス信号との差で、dB で表されます。ここで言うスプリアス信号とは、DC を除いて入力には存在しなかったが、出力スペクトラムに存在する任意の信号です。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求めます。

$$\text{THD} = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

- 2 次高調波歪み (**2nd Harm**) は、出力で見た入力周波数の rms パワーと出力で見た 2 次高調波のパワーとの差で、単位は dB です。

- 3 次高調波歪み (**3rd Harm**) は、出力で見た入力周波数の rms パワーと出力で見た 3 次高調波のパワーとの差で、単位は dB です。

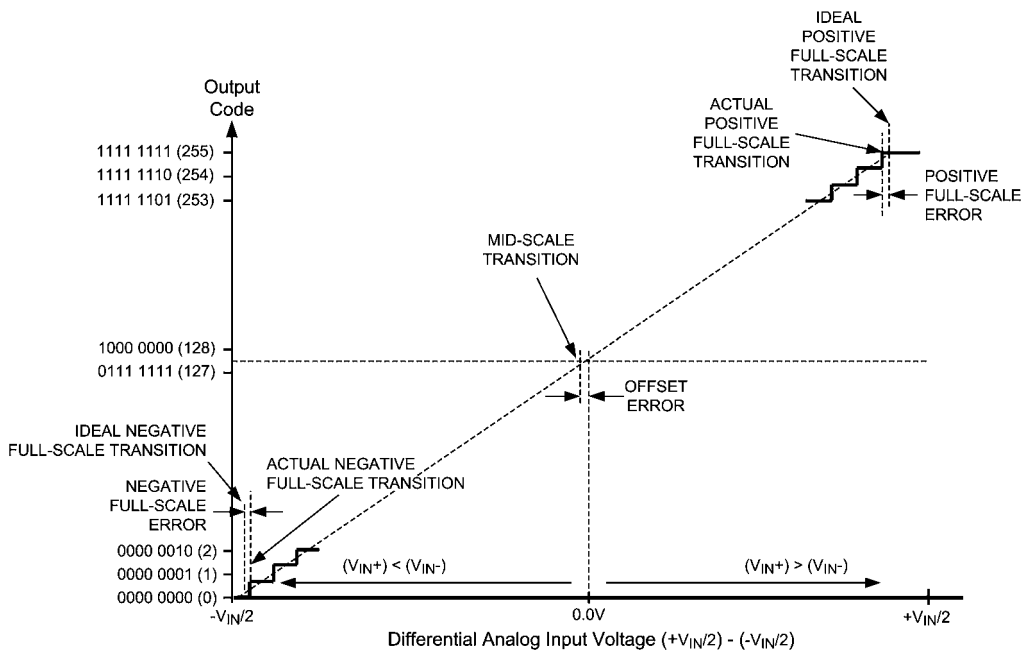


FIGURE 2. Input / Output Transfer Characteristic

タイミング図

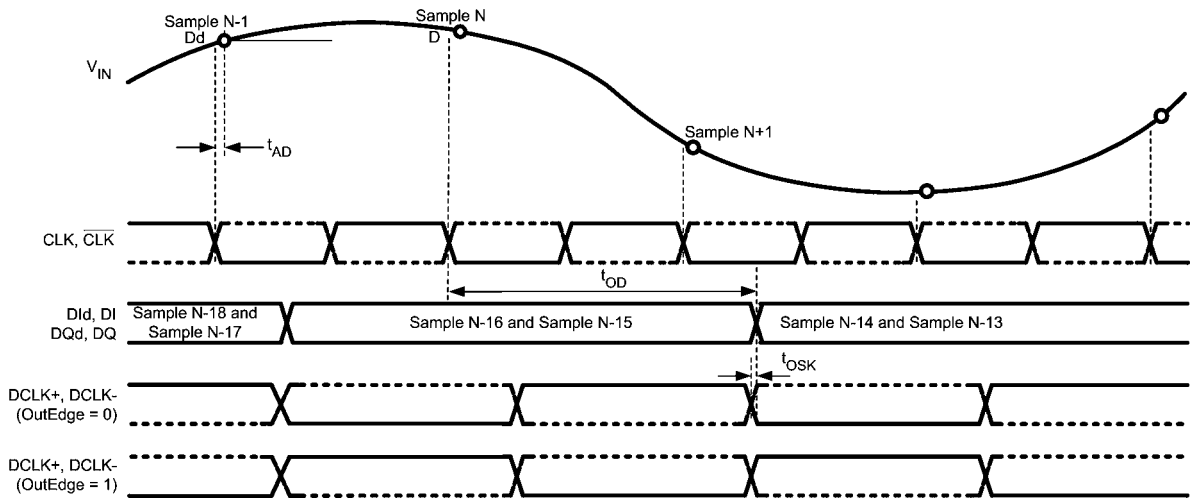


FIGURE 3. ADC08D1020 Timing — SDR Clcking in 1:2 Demultiplexed Mode

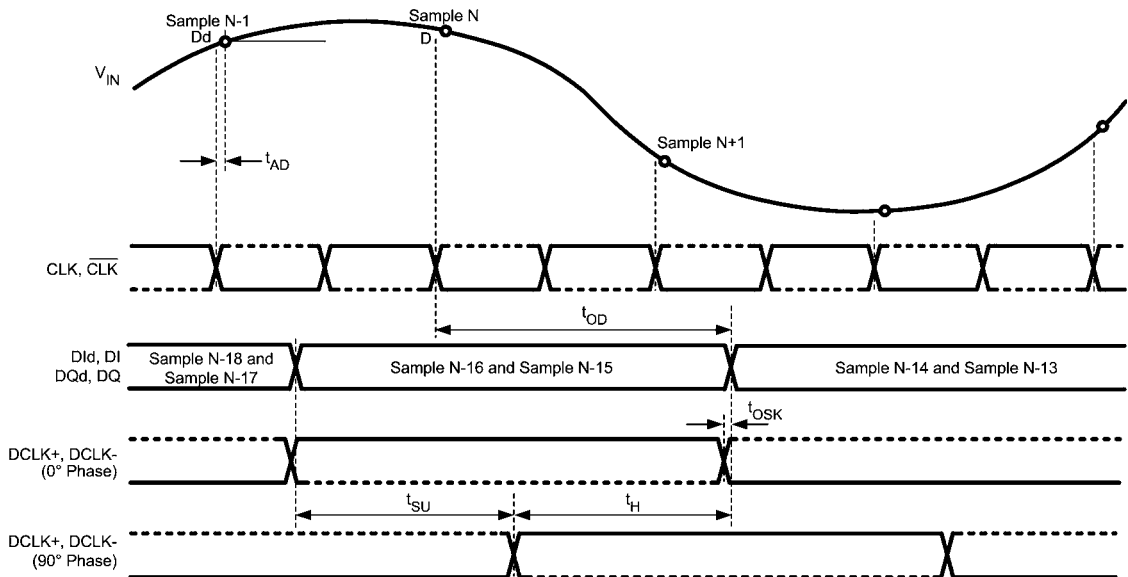


FIGURE 4. ADC08D1020 Timing — DDR Clcking in 1:2 Demultiplexed and Normal Mode

タイミング図(つぎ)

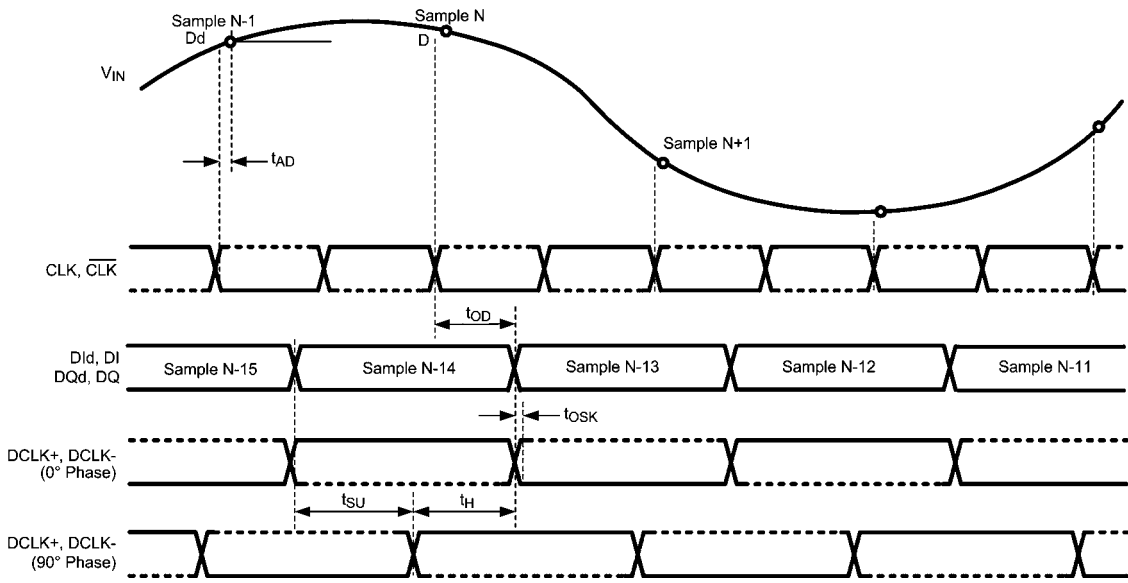


FIGURE 5. ADC08D1020 Timing — DDR Clocking in Non-Demultiplexed and Normal Mode

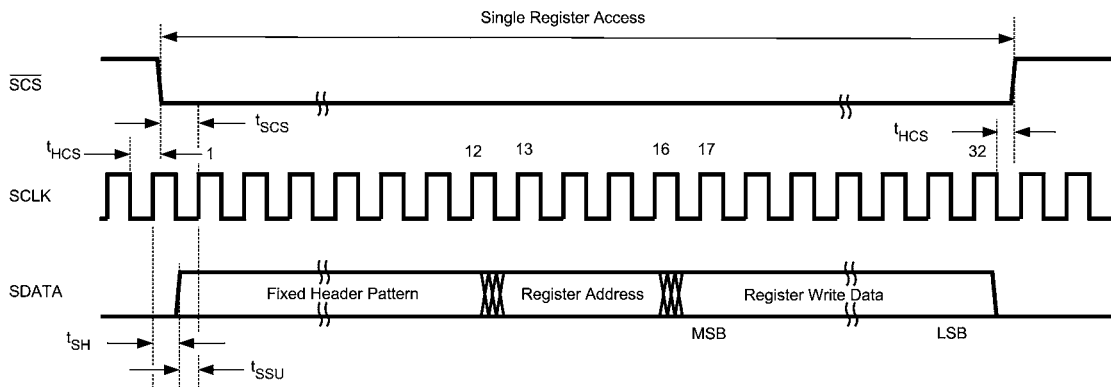


FIGURE 6. Serial Interface Timing

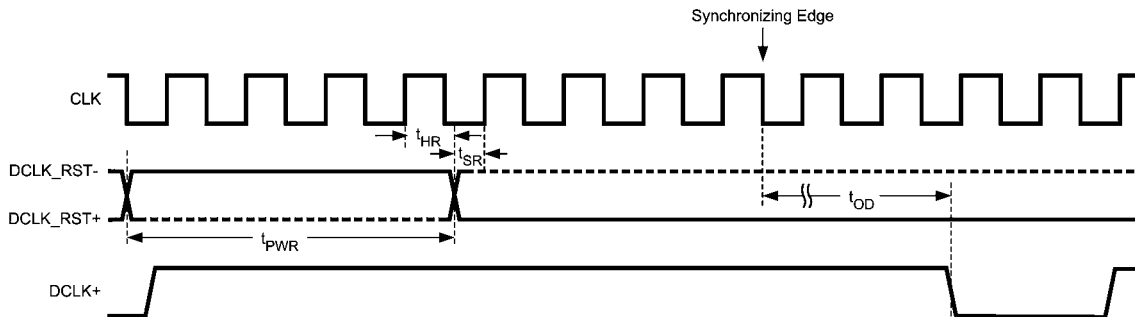


FIGURE 7. Clock Reset Timing in DDR Mode

タイミング図(つぎ)

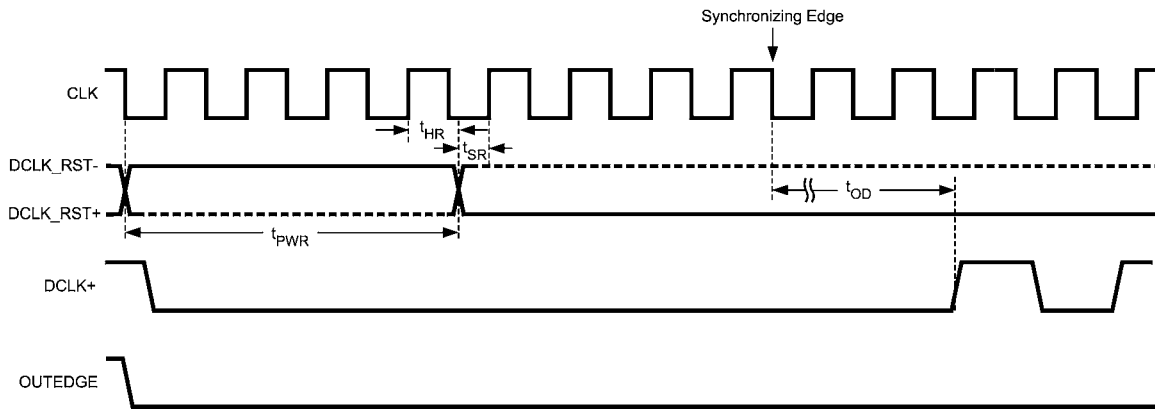


FIGURE 8. Clock Reset Timing in SDR Mode with OUTEDGE Low

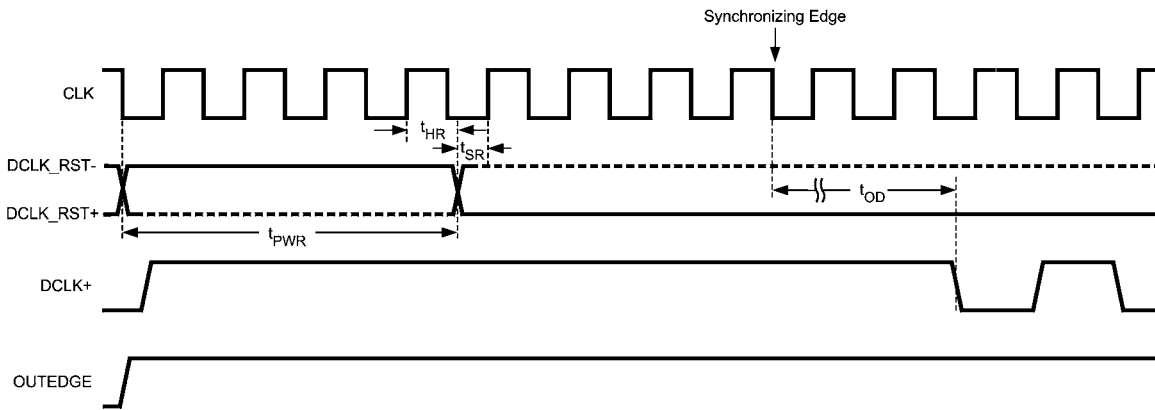


FIGURE 9. Clock Reset Timing in SDR Mode with OUTEDGE High

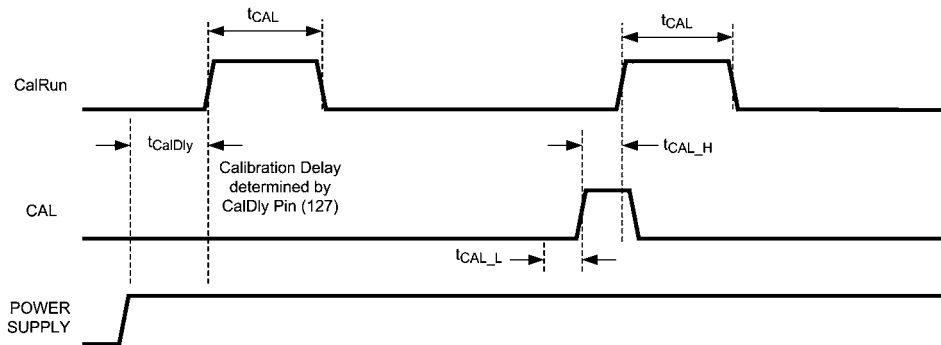
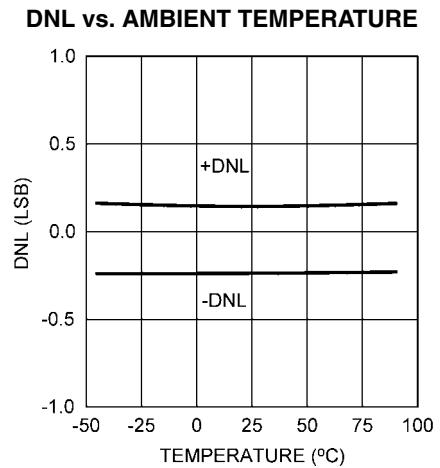
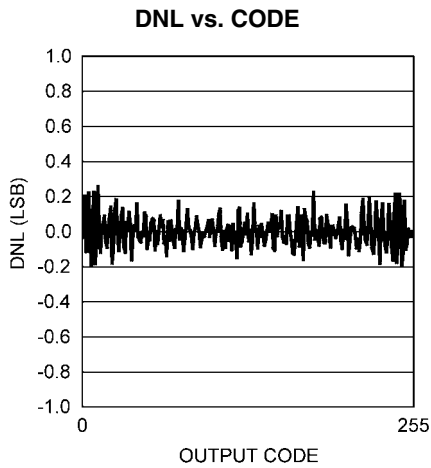
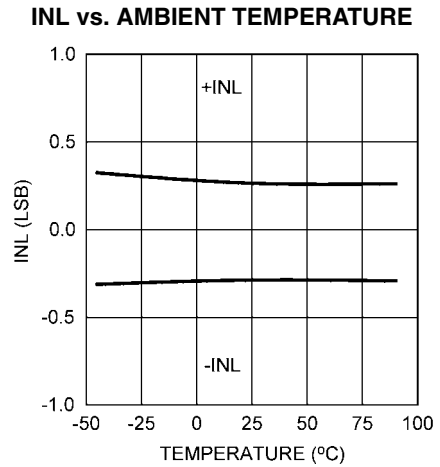
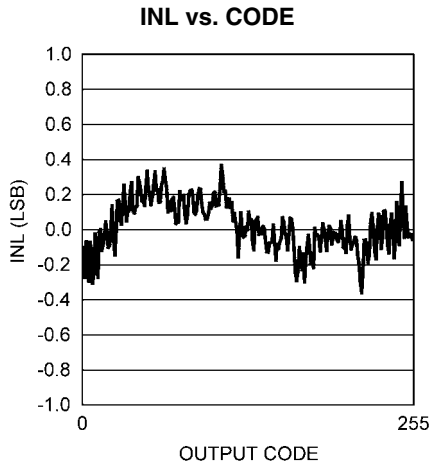


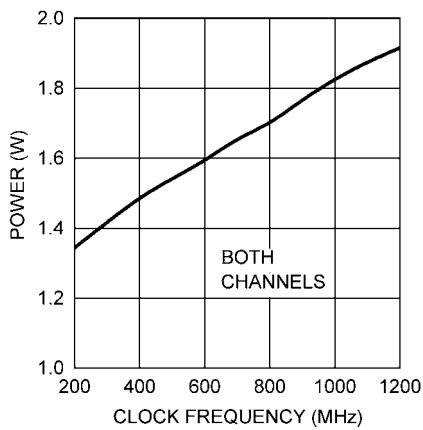
FIGURE 10. Power-up Calibration and On-Command Calibration Timing

代表的な性能特性

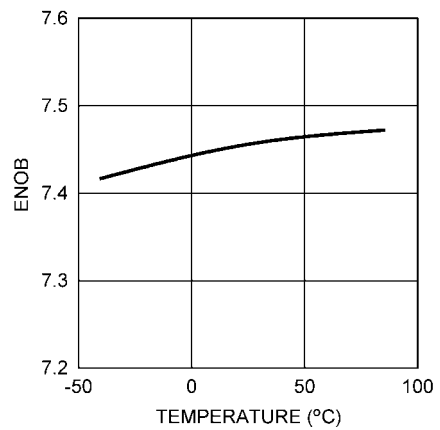
特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1000MHz$ 、 $f_{IN} = 498MHz$ 、 $T_A = 25$ 、1チャンネル、1:2 デマルチプレクサ・モード (1:1 デマルチプレクサ・モードも同様の特性です) の条件のグラフを示します。



POWER CONSUMPTION vs. CLOCK FREQUENCY

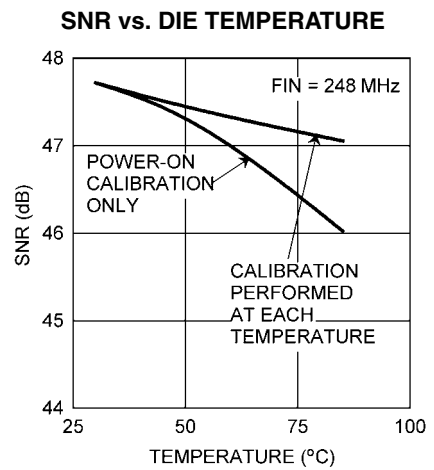
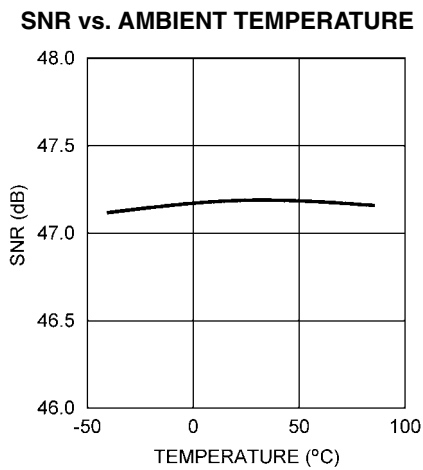
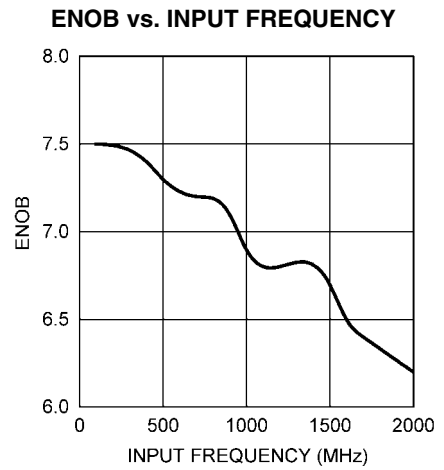
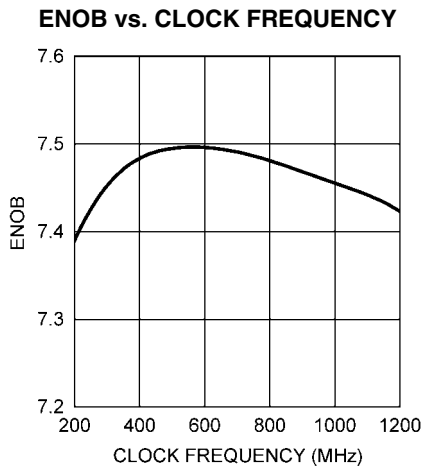
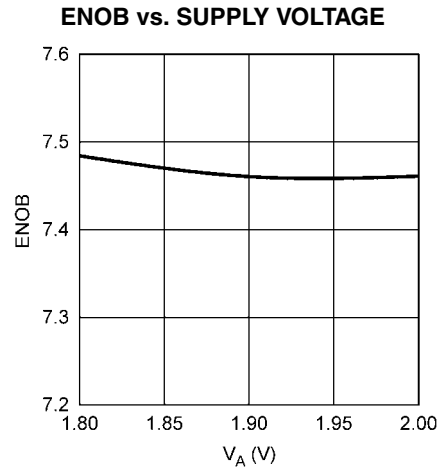
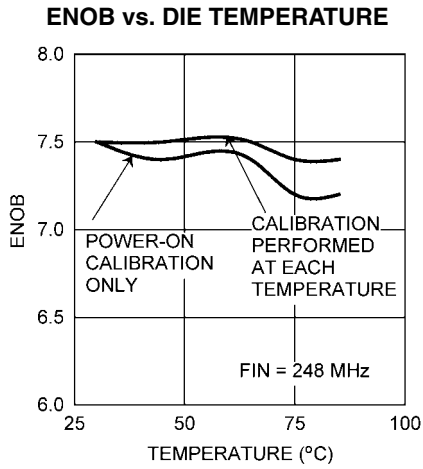


ENOB vs. AMBIENT TEMPERATURE



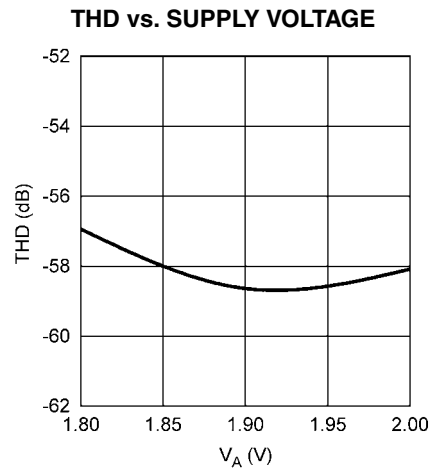
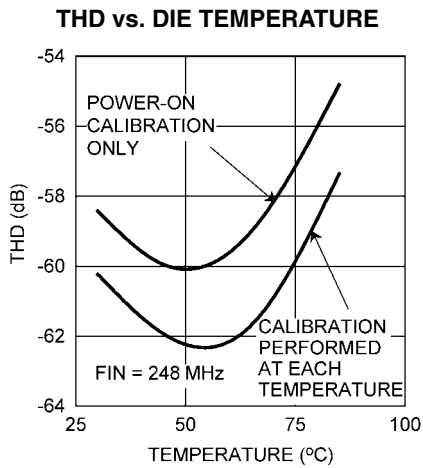
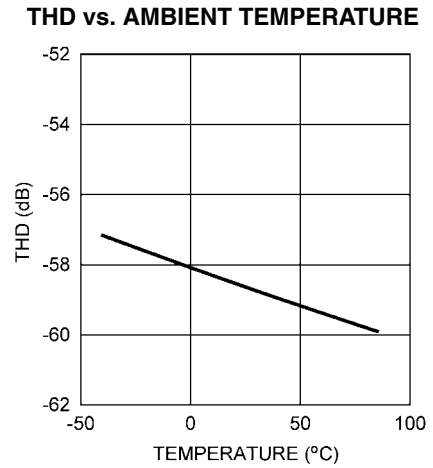
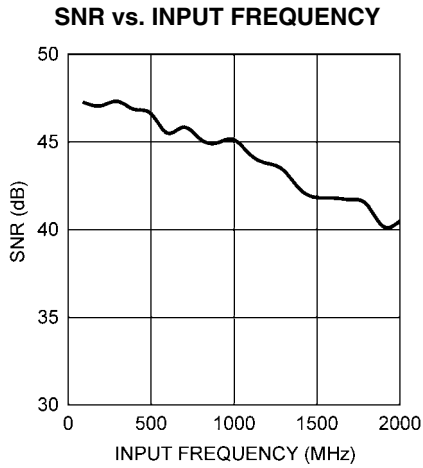
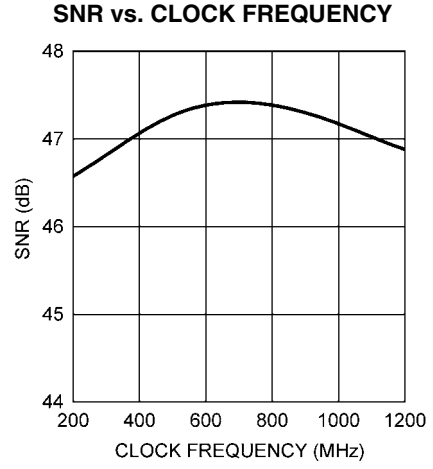
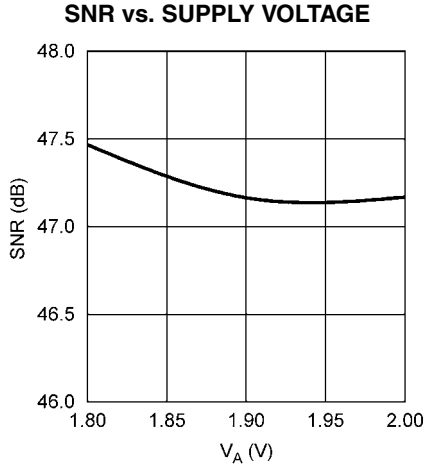
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1000MHz$ 、 $f_{IN} = 498MHz$ 、 $T_A = 25$ 、1チャンネル、1:2 デマルチプレクサ・モード (1:1 デマルチプレクサ・モードも同様の特性です) の条件のグラフを示します。



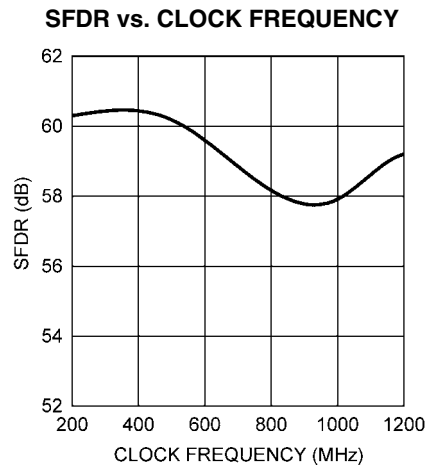
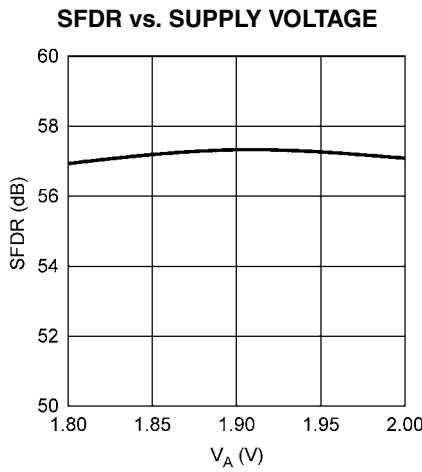
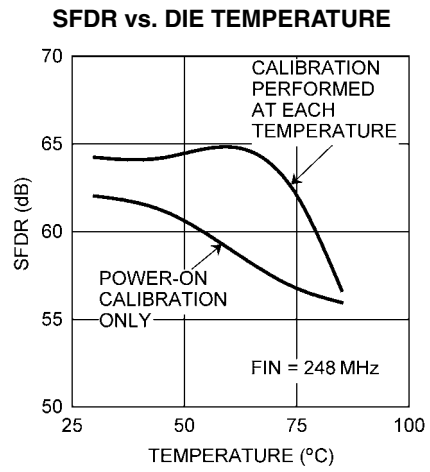
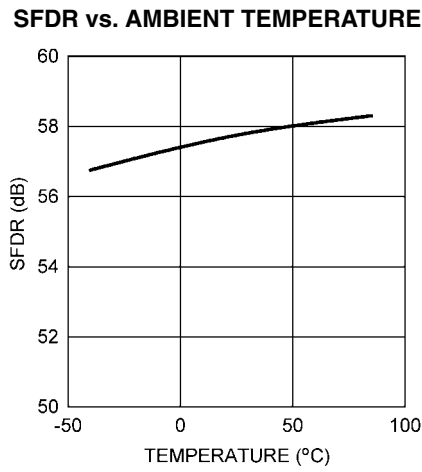
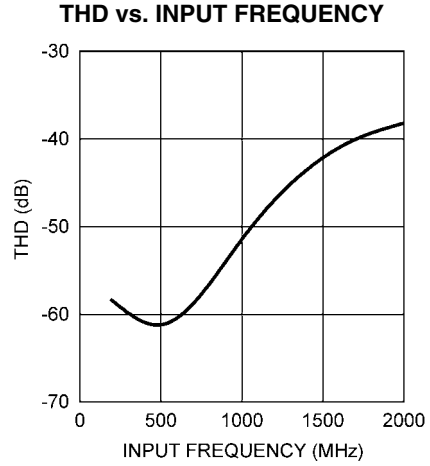
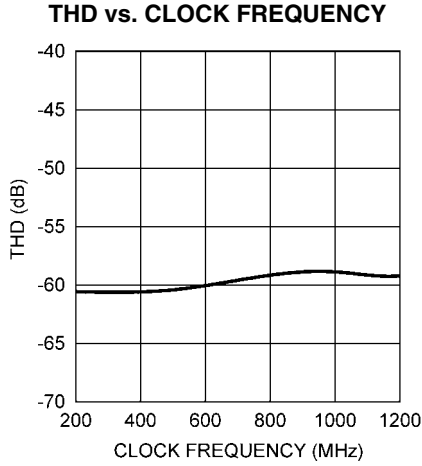
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1000MHz$ 、 $f_{IN} = 498MHz$ 、 $T_A = 25$ 、1チャンネル、1:2 デマルチプレクサ・モード (1:1 デマルチプレクサ・モードも同様の特性です) の条件のグラフを示します。



代表的な性能特性 (つづき)

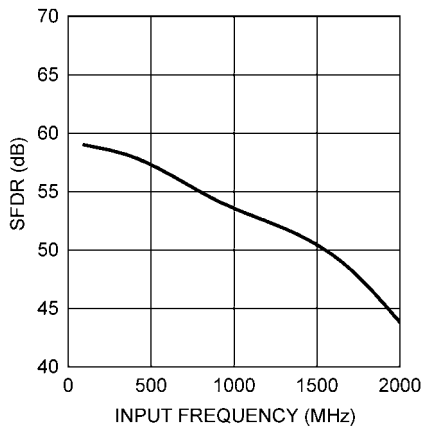
特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1000MHz$ 、 $f_{IN} = 498MHz$ 、 $T_A = 25$ 、1チャンネル、1:2 デマルチプレクサ・モード (1:1 デマルチプレクサ・モードも同様の特性です) の条件のグラフを示します。



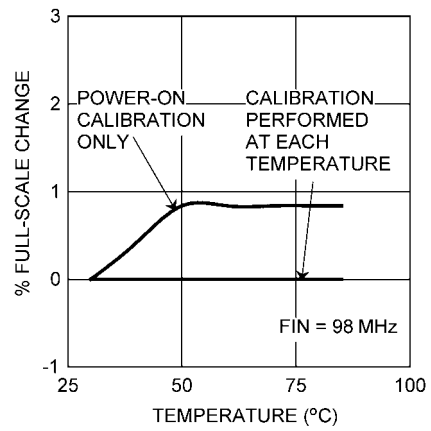
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $f_{CLK} = 1000MHz$ 、 $f_{IN} = 498MHz$ 、 $T_A = 25$ 、1チャンネル、1:2 デマルチプレクサ・モード (1:1 デマルチプレクサ・モードも同様の特性です) の条件のグラフを示します。

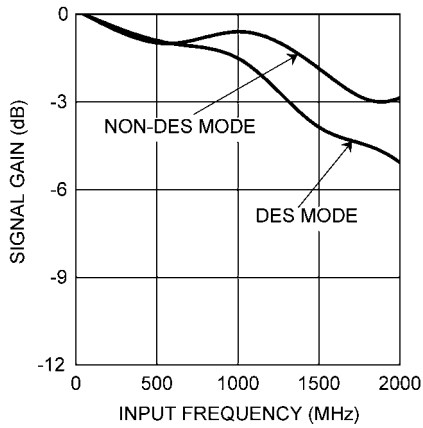
SFDR vs. INPUT FREQUENCY



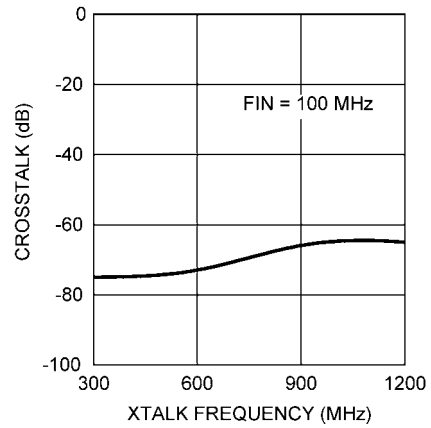
GAIN STABILITY vs. DIE TEMPERATURE



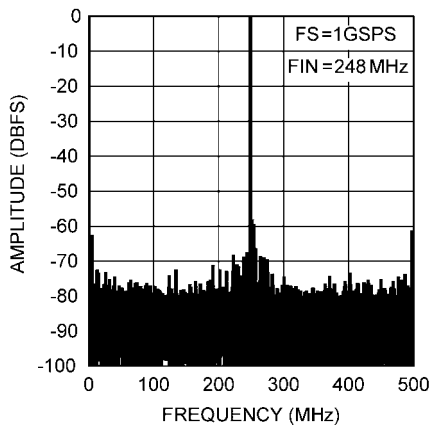
SIGNAL GAIN vs. INPUT FREQUENCY



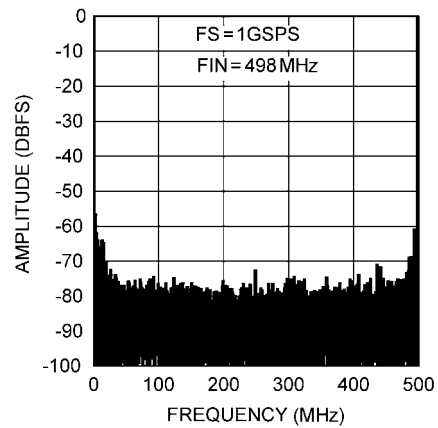
CROSSTALK vs. SOURCE FREQUENCY



SPECTRAL RESPONSE AT $f_{IN} = 248 MHz$



SPECTRAL RESPONSE AT $f_{IN} = 498 MHz$



1.0 機能説明

ADC08D1020 は高速動作を実現する革新的なアーキテクチャを搭載した多用途の A/D コンバータです。さまざまな制御機能によって回路ソリューションへの応用が簡単です。最適な性能を得るために、このセクションと「アプリケーション情報」で述べる要件に従ってください。

一般にアクティブなピンをフローティングにして使用すると性能を劣化させる要因になりますが、ADC08D1020 の 4 ピン、14 ピン、127 ピンは、フローティングのままでも問題なく使用できるように設計されています。本データシート全体を通じて、制御ピンをフローティングにして実現される機能は、該当ピンに V_A の半分の電源電圧を与えても同じ作用が得られます。

1.1 概要

ADC08D1020 はセルフキャリブレーション・フォールディング・アーキテクチャを採用し、有効ビット 7.4 を達成しています。フォールディング・アンプの採用によってコンバータの個数と消費電力の大幅な削減を実現しました。また、補間方式の採用によって、必要なフロントエンド・アンプの個数が削減でき、入力信号の負荷軽減と電力要件の低減を実現しています。さらにオンチップ較正機能が、フォールディング・アーキテクチャにありがちな INL の折れ曲がりを抑えます。結果として、きわめて高速、高性能、かつ低消費電力のコンバータが実現されました。

アナログ入力信号、すなわちコンバータの入力電圧範囲は、代表値で 200MSPS から 1.3GSPS のレートにて、8 ビットでデジタイズされます。負のフルスケールに満たない差動入力では出力ワードはすべてゼロになります。正のフルスケールを超える差動入力では出力ワードはすべて 1 になります。"I" 入力または "Q" 入力でこれらの条件のいずれかが成立すると OR (アウト・オブ・レンジ) 出力がアクティブになります。OR 出力は、いずれかのチャネルが両方のチャネルで、入力が負のフルスケールを下回ったか正のフルスケールを上回ったことを示します。

各コンバータは 2 組の LVDS バスにデータを供給する選択可能な出力デマルチプレクサを内蔵しています。1:2 デマルチプレクサ・モードを選択した場合、出力データ・レートは、各バスの入力サンプリング・レートの半分に低下します。非デマルチプレクサ・モードを選択した場合は、チャネル DI および DQ に出力されるデータのレートは、入力サンプリング・クロックと同じになります。

出力レベルは通常レベルか低減レベルのいずれかを選択可能です。低減レベルを使用すると電力が節減されますが、特にサンプリング・レートが高いシステムやマージンが少ないシステムで、一部または全部のビットのデータ・キャプチャで誤動作を引き起こす可能性があります。

1.1.1 較正

較正はパワーアップ時に実行されますが、ユーザーのコマンドによって実行させることも可能です。較正処理では、100 アナログ入力差動終端抵抗の調整と、フルスケール誤差、オフセット誤差、DNL、INL を最小限に抑えるように調整が行われ、その結果、SNR、THD、SINAD (SNDR) および有効ビット (ENOB) を最大限に高めます。内部バイアス電流も較正処理中に設定されます。以上の動作はパワーオン較正でもコマンドによる較正でも変わりません。較正の実行はチップの機能にとって重要で、適切な性能を得るためには不可欠です。パワーオン時に実行しなければならぬほか、FSR ピンの状態を変更したときにもコマンド較正を実行しなければなりません。最高性能を発揮させるには、アプリケーションの電源を投入して 20 秒以上が経過してからコマンド較正を実行するとともに、システム性能要件と比較して周囲温度が大幅に変化したときに再較正を実行してください。詳細は「2.4.2.2 コマンドによる較正」を参照してください。デバイスがパワーダウン・モードのときは較正の開始と実行はできません。パワーダウンと較正の関係については「1.1.7 パワーダウン」を参照してください。

通常動作において、較正は電源投入直後のほか、CAL ピンを、「コンバータの電気的特性」に規定された t_{CAL_L} サイクルだけ Low に維持し、続いて t_{CAL_H} サイクル以上 High に維持した場合、有効な較正コマンドが与えられたとして較正処理が実行されます。較正処理に要する時間は「コンバータの電気的特性」の表に t_{CAL} として規定されています。ただし、パワーオン時に CAL ピンを High に保持した場合、CAL ピンを上記と同様に t_{CAL_L} サイクルだけ Low に保持した後、 t_{CAL_H} サイクルだけ High にするまで、較正プロセスは実行されません。

CalDly (127 ピン) によって電源印加から較正処理が開始されるまでの遅延時間を 2 種類の設定から選択できます。この較正遅延時間は、CalDly ピンの設定によって変化し、「コンバータの電気的特性」では t_{CalDly} として規定されています。処理開始を遅延させることで、較正が実行される前に、電源電圧が上昇して安定するまでの時間を確保できます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保てば、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDly ピンの最適な設定は、電源の電圧セリング時間によって異なります。

CAL ビットは自動的にゼロにリセットされることはありません。したがって、再度較正を開始するには手動でリセットする必要があります。これ以上較正動作が必要ない場合は、CAL ビットを High に保持していても特に問題はありません。クロック位相調整をイネーブルしている場合、RTD ビットの設定が較正動作に大きな影響を及ぼします。クロック位相調整をイネーブルにした状態で較正を開始する場合は、RTD ビットを High に設定しないと較正が行われません。クロック位相調整をイネーブルにしていない状態で較正を開始する場合は、RTD ビットの設定に関係なく通常の較正が行われます。

1.1.2 入力の取り込み

1:2 デマルチプレクサ・モードの場合、データは CLK + (18 ピン) の立ち上がりエッジで取り込まれた後、デジタル的に等価なデータが、DI と DQ 出力バスには 13 クロック後に、Did と DQd 出力バスには 14 クロック後に、それぞれ出力されます。データが出力に現れるまでに内部遅延 t_{OD} がさらにかかります。「タイミング図」を参照してください。ADC08D1020 は、クロックが入力される限り変換をします。完全な差動コンバータ設計、画期的なサンプル/ホールド・アンプ設計、さらには較正機能の組み合わせによって、1GHz を超える SINAD/ENOB 応答を実現しています。ADC08D1020 出力データ信号方式は LVDS で、その出力フォーマットはオフセット・バイナリです。

1.1.3 制御モード

さまざまなユーザー制御機能は外部ピンを使って制御します。例えば、較正サイクルの起動、パワーダウン・モードへの移行、フルスケール・レンジの設定などが可能です。さらに ADC08D1020 は、シリアル・インタフェースを用いて機能制御用の内部レジスタにアクセスする拡張制御モードも搭載しています。拡張制御モードは動作中の切り換えを想定していません。パワーオン時点で通常制御モードか拡張制御モードのいずれかを選択して動作させる必要があります。デバイスを拡張制御モードで使用すると、外部ピンを用いた機能制御はレジスタを用いた制御に置き換わり、外部ピンを用いた制御は無効になります。対象となるピンは、OutV (3 ピン)、OutEdge/DDR (4 ピン)、FSR (14 ピン)、CalDly/DES (127 ピン) です。拡張制御モードの詳細は「1.2 通常制御と拡張制御」を参照してください。

1.0 機能説明 (つづき)

1.1.4 アナログ入力

ADC08D1020 は差動入力信号で駆動しなければなりません。シングルエンド信号を用いた動作は推奨しません。入力信号は、 V_{CMO} ピンをグラウンドに接続した AC 結合か、 V_{CMO} ピンをフローティングにした DC 結合のいずれかでなければなりません。DC 結合を用いる場合は V_{CMO} 出力電圧に等しい同相電圧を入力に与える必要があります。

フルスケール・レンジは 14 ピン (FSR) で設定します。14 ピンを High にすると入力フルスケール・レンジ V_{IN} が広く、14 ピンをグラウンドにすると V_{IN} は狭く設定されます。フルスケール・レンジ設定は両系統のコンバータに適用されます。

「1.4 レジスタの説明」および「2.2 アナログ入力」で説明するとおり、拡張制御モードでは、入力フルスケール電圧調整レジスタをプログラムすることによって、入力フルスケール・レンジを調整できます。

1.1.5 クロック

ADC08D1020 は AC 結合の差動クロック信号で駆動しなければなりません。クロック入力ピンの使用方法を「2.3 クロック入力」に示します。A/D コンバータの出力データを任意のデバイスが後段で取り込めるように、データ・ラッチ用の差動 LVDS 出力クロックが出力されています。

ADC08D1020 の入力クロッキングと出力クロッキングにはオプションが設定されています。入力側で選択できるオプションは、ADC08D1020 が単一コンバータのように振る舞って入力クロック・レートの 2 倍で変換動作を行うデュアル・エッジ・サンプリング (DES)、すなわち「インタリーブ・モード」です。出力側のオプションは、出力データを送出する DCLK エッジの選択と、シングル・データレート (SDR) またはダブル・データレート (DDR) 出力の選択です。

さらに ADC08D1020 には、入力クロック回路に搭載されているデューティ・サイクル補正クロック・レシーバを有効にするオプションが用意されています。この機能はデフォルトでイネーブルになっていて、特にデュアル・エッジ・サンプリング・モード (DES) 時の

クロッキング性能を高めめます。この回路によって、通常モードとデュアル・エッジ・サンプリング・モードのいずれでも、A/D コンバータにデューティ・サイクルが 20%/80% (ワーストケース) のクロックを与えることが可能です。

1.1.5.1 デュアル・エッジ・サンプリング (DES)

DES モードは、ADC08D1020 が内蔵する 2 系統のコンバータ・チャネルの両方が、いずれか一方の入力チャネル (I チャネルまたは Q チャネル) を同時にサンプリングするモードです。一方のコンバータが入力クロックの立ち上がりエッジで入力データをサンプリングし、もう一方のコンバータは立ち下がりエッジでサンプリングします。すなわち、いずれかのチャネルの入力データはクロック・サイクルあたり 2 回サンプリングされ、合計のサンプリング・レートは入力クロック周波数の 2 倍になり、例えば入力クロックが 1GHz の場合に 2GSPS が得られます。

このモードでは、サンプリングされた信号を復元するために、出力を正確にインタリーブする必要があります。デバイスが DES モードで 1:2 デマルチプレクサ・モードにプログラムされている場合、データは実効的に 1:4 でデマルチプレックスされます。入力クロックが 1GHz の場合、実効的なサンプリング・レートは 2 倍の 2GSPS になり、4 つの出力バスの出力レートはそれぞれ 500MHz になります。すべてのデータは並列に出力されます。サンプリングされた波形を正確に復元するには、クロック・サイクルごとに出力される 4 バイトの並列データは、最も早くサンプリングされたものから遅いものの順に DQd、DId、DQ、DI となります。この順序に基づいてインタリーブする必要があります。さまざまなサンプリング・モードに応じた出力を Table 1 に示します。デバイスが非デマルチプレクサ・モードに設定されている場合、各クロック・エッジで出力される 2 バイトの並列データは、最も早くサンプリングされたものから遅いものの順に DQ、DI になります。Table 2 を参照してください。

拡張モード動作ではない DES モードでは "I" 入力のみがサンプリングされます。拡張モードではサンプリングする入力をユーザーが選択できます。

ADC08D1020 は、DES モードで使用され I チャネルと Q チャネルのクロック位相を自動的かつ連続的に調整する、自動クロック位相バックグラウンド調整機能も備えています。この機能によって、デュアルエッジ・サンプリングの最適性能が得られます。

TABLE 1. 1:2 デマルチプレクサ・モードのデータ出力で生成される入力チャネル・サンプリング**

データ出力 (つねに DCLK + の 立ち下がり出力)	通常サンプリング・モード	デュアル・エッジ・サンプリング・モード (DES)	
		I チャネルを選択	Q チャネルを選択*
DI	13CLK 前の立ち下がりエッジでサンプリングした "I" 入力	13CLK 前の立ち下がりエッジでサンプリングした "I" 入力	13CLK 前の立ち下がりエッジでサンプリングした "Q" 入力
DId	14CLK 前の立ち下がりエッジでサンプリングした "I" 入力	14CLK 前の立ち下がりエッジでサンプリングした "I" 入力	14CLK 前の立ち下がりエッジでサンプリングした "Q" 入力
DQ	13CLK 前の立ち下がりエッジでサンプリングした "Q" 入力	13.5CLK 前の立ち上がりエッジでサンプリングした "I" 入力	13.5CLK 前の立ち上がりエッジでサンプリングした "Q" 入力
DQd	サンプリング 14CLK 後の立ち下がりエッジでサンプリングした "Q" 入力	14.5CLK 前の立ち上がりエッジでサンプリングした "I" 入力	14.5CLK 前の立ち上がりエッジでサンプリングした "Q" 入力

* 通常制御モードの DES サンプリングでは、I チャネルのデータのみがサンプリングされることに注意してください。拡張制御モードの DES サンプリングでは、I チャネルまたは Q チャネルのいずれかを選択してサンプリングできます。

** 非デマルチプレクサ・モードの場合、DId および DQd の出力はディスエーブルされハイ・インピーダンス状態になります。

1.0 機能説明 (つづき)

TABLE 2. 非デマルチプレクサ・モードのデータ出力で生成される入力チャネル・サンプリング

データ出力 (DCLK + の 立ち下がりで出力)	通常モード	DES モード
DI	13CLK 前の立ち上がりエッジでサンプリングした "I" 入力	13CLK 前にサンプリングした選択入力
DI _d	出力なし	出力なし
DQ	13CLK 前の立ち上がりエッジでサンプリングした "Q" 入力	13.5CLK 前にサンプリングした選択入力
DQ _d	出力なし	出力なし

1.1.5.2 OutEdge とデマルチプレクサ制御設定

出力データの遷移タイミングは、SDR モードで後段でのデータ・キャプチャが簡単になるように、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定することが可能です。非拡張制御モードの場合、OutEdge (4 ビン) で選択します。OutEdge 入力を High にすると出力データは DCLK + の立ち上がりエッジに同期して遷移し、OutEdge を Low にすると DCLK + の立ち下がりエッジに同期して遷移します。「2.4.3 出力エッジの同期」を参照してください。拡張制御モードでは、OutEdge を構成レジスタの OED ビットによって選択します。このビットは 2 つの機能を持っています。シングル・データレート (SDR) モードでは、OutEdge の設定機能を持ち、データが遷移する DCLK エッジを選択します。ダブル・データレート (DDR) モードでは、デバイスの非デマルチプレクサ・モードまたは 1:2 デマルチプレクサ・モードの切り替えを行います。DDR の場合、デマルチプレクサの選択にかかわらず DCLK と出力データの位相関係は 0 になります。1:2 デマルチプレクサ DDR 0 モードの場合、同期エッジから t_{OD} の開始までに 3 サイクルではなく、4 サイクルのシステム・デレイが生じます。詳細は「1.5 複数デバイスの同期」を参照してください。

1.1.5.3 シングル・データレートとダブル・データレート

シングル・データレート (SDR) 出力またはダブル・データレート (DDR) 出力のいずれかを選択できる機能を備えています。シングル・データレートの場合、出力クロック (DCLK) の周波数は 2 組の出力バスのデータレートと同一です。ダブル・データレートの場合、DCLK の周波数はデータレートの半分になり、データは DCLK の両エッジで出力に送られます。非拡張モードでダブル・データレートをイネーブルにするには 4 ビンをフローティングにします。

1.1.6 LVDS 出力

データ出力、アウト・オブ・レンジ (OR) 出力、DCLK 出力はすべて LVDS です。LVDS 出力の電氣的仕様は、ASIC や FPGA チップとして市販されている一般的な LVDS レシーバと互換性がありますが、このチップは +1.9V という低電圧を使用しているため、IEEE または ANSI の通信規格には準拠していません。ユーザーは、制御ピン OutV または制御レジスタの OV ビットによって、小振幅信号モードを選択できます。LVDS の信号線長が短く低ノイズのシステムの場合は、OutV 入力を Low にして低消費電力にしても満足の行く性能が得られると考えられます。LVDS ラインが長い ADC08D1020 が使われているシステムにノイズが多い場合、あるいはその両方に該当する場合は、OutV ビンを High にする必要があると考えられます。

LVDS データ出力の同相電圧の代表値は V_{BG} ビンをフローティングにした場合に 800mV です。より高い同相電圧が必要な場合は、 V_{BG} ビンを V_A に接続すると同相電圧が 1.175V に上がります。

重要: V_{BG} ビンを V_A に接続すると、差動 LVDS 出力電圧も 40mV 上昇します。

1.1.7 パワーダウン

パワーダウン (PD) ビンが Low のときは、ADC08D1020 はアクティブ状態です。PD ビンを High にするとデバイスはパワーダウン・モードに移行します。パワーダウン・モードでは、データ出力ピン (正と負) はハイ・インピーダンス状態になり、デバイスの消費電力は最低限のレベルにまで低下します。DCLK + / - と OR + / - はハイ・インピーダンスにはならず、内部でグラウンドに弱くプルダウンされます。そのため、I と Q の両方がパワーダウンのとき、DCLK + / - と OR + / - を DC 電圧で終端してはなりません。

PDQ ビンを High にすると "Q" チャネルはパワーダウンされますが、"I" チャネルはアクティブの状態を続けます。"Q" チャネルとは独立して "I" チャネルのみをパワーダウンする方法はありません。なお、通常動作に復帰する時点でパイプラインに格納されている情報は無効データとなります。

較正処理の実行中に PD 入力を High にしても、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力 Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。PDQ を High にして "Q" チャネルをパワーダウンした場合、較正の実行は可能ですが、"Q" チャネルは較正されません。較正後に "Q" チャネルを使用する場合は、PDQ を Low にした後で較正を実行する必要があります。

1.0 機能説明 (つづき)

1.2 通常制御と拡張制御

ADC08D1020 は 2 種類のモードのいずれかで動作します。単純な通常制御モードでは複数の外部制御ピンを用いてデバイスの設定と制御を行います。「拡張制御モード」ではシリアル・インタフェースと 9 個のレジスタを用いてより多くの設定と制御が可能です。

す。拡張制御モードは、41 ピンを Low にすることによって選択します。41 ピンをフローティング、52 ピンをフローティングまたは High にした場合は、14 ピンによって拡張制御モードをイネーブルにできます。制御モードは最初から固定しておく必要があり、デバイスの動作中に動的に切り替えることは想定していません。

選択した制御モードごとのデバイス機能を Table 3 に示します。

TABLE 3. 各種機能とモード

機能	通常制御モード	拡張制御モード
SDR または DDR クロッキング	4 ピンで選択	構成レジスタの nDE ビット (アドレス 1h、ビット 10) で選択。
DDR クロック位相	選択不可 (位相 0 のみ)	構成レジスタの DCP ビット (アドレス 1h、ビット 11) で選択。
SDR データ遷移の DCLK 立ち上がりまたは立ち下がりエッジ	4 ピンを High にすると SDR データ出力は DCLK + の立ち上がりエッジで遷移し、Low にすると立ち下がりエッジで遷移します。	構成レジスタの OED ビット (アドレス 1h、ビット 8) で選択。
LVDS 出力レベル	3 ピンを High にすると、通常の差動データおよび DCLK 振幅が選択され、Low にすると振幅が低減されます。	構成レジスタの OV ビット (アドレス 1h、ビット 9) で選択。
パワーオン較正遅延	127 ピンを Low にすると短時間の遅延が選択され、High にすると遅延が長くなります。	短時間遅延のみ
フルスケール・レンジ	14 ピンを High にすると、通常の入力フルスケール・レンジが選択され、Low にすると範囲が狭められます。選択したレンジは、両方のチャンネルに適用されます。	「1.4 レジスタの説明」に規定した公称レンジ内の 512 ステップのいずれかに設定。I チャンネルと Q チャンネルで個別設定可。フルレンジ・レジスタ (アドレス 3h および Bh、ビット 7 ~ 15) によって設定。
入力オフセット調整	不可	各チャンネルに対して「1.4 レジスタの説明」に規定した 512 ステップより調整可能。入力オフセット・レジスタ (アドレス 2h および Ah、ビット 7 ~ 15) によって設定。
デュアル・エッジ・サンプリングの選択	127 ピンをフローティングにすることによってイネーブル。	拡張構成レジスタの DES ビット (アドレス 9h、ビット 13) で選択。
デュアル・エッジ・サンプリングの入力チャンネルの選択	I チャンネル入力のみを使用	I チャンネル入力か Q チャンネル入力を両方のコンバータでサンプリング
試験用のパターン・データの発生	不可	拡張構成レジスタの TPO ビット (アドレス 9h、ビット 15) を 1b に設定するとデータ出力にテスト・パターンが出力されます。
抵抗調整のディスエーブル	不可	拡張構成レジスタの RTD ビット (アドレス 9h、ビット 14 ~ 7) を 1b に設定すると、DCLK 出力が連続的に出力されます。
選択可能な出力デマルチプレクサ	不可	デバイスを DDR で動作させる場合は、出力を非デマルチプレクサ・モードに設定できます。構成レジスタの OED ビット (アドレス 1h、ビット 8) を 1b に設定すると非デマルチプレクサ・モードになります。OED ビットを 0b に設定すると、1:2 デマルチプレクサ・モードが選択されます。
第 2 の DCLK 出力	不可	構成レジスタの nSD ビット (アドレス 1h、ビット 13) を 0b に設定すると、OR 出力を第 2 の DCLK 出力とすることができます。
サンプリング・クロックの位相調整	不可	粗調整・中調整レジスタ (アドレス Fh、ビット 15 ~ 7) および微調整レジスタ (アドレス Eh、ビット 15 ~ 8) によって、サンプリング・クロックの位相を手動で調整できます。

1.0 機能説明 (つづき)

拡張制御モードのデフォルト状態はパワーオン・リセット (デバイス内部で実行) で設定され、Table 4 に示すとおりです。

TABLE 4. 拡張制御モードの動作 (41 ピンが Low または 14 ピンがフローティング)

機能	拡張制御モードのデフォルト設定
SDR または DDR クロッキング	DDR クロッキング
DDR クロック位相	DCLK エッジでデータ遷移 (位相 0°)
LVDS 出力振幅	「電気的特性」の表に示されている大きい方の値
較正遅延	短時間遅延
フルスケール・レンジ	両チャンネルとも公称 700mV
入力オフセット調整	両チャンネルとも調整なし
デュアル・エッジ・サンプリング (DES)	ディスエーブル
試験用のパターン・データの発生	出力されません。
抵抗調整のディスエーブル	調整イネーブル、DCLK は出力に連続して現れません。
選択可能な出力デマルチプレクサ	1:2 デマルチプレクサ
2 系統の DCLK 出力	なし。79 ピンおよび 80 ピンは OR +、OR - として機能。
サンプリング・クロックの位相調整	微調整、中調整、粗調整とも行われなし。

1.3 シリアル・インタフェース

3 線式のシリアル・インタフェースは拡張制御モード時のみ有効です。このインタフェースが使用するピンは、シリアル・クロック (SCLK)、シリアル・データ (SDATA)、シリアル・インタフェース・チップセレクト (SCS) の 3 本です。9 個の書き込み専用レジスタにはシリアル・インタフェースを介してアクセスします。

SCS: シリアル・インタフェースを介してレジスタをアクセスするときはこの信号を Low にアサートします。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。

SCLK: この信号の立ち上がりでシリアル・データ入力を取り込まれます。SCLK に対して最低周波数は規定されていません。

SDATA: この入力には各レジスタのアクセスに必要な固有の 32 ビット・パターンを与えます。データ・パターンは、ヘッダー、レジスタ・アドレス、レジスタ値で構成されます。データは MSB から入力します。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。「タイミング図」を参照してください。

各レジスタ・アクセスのデータは、タイミング図の Figure 6 に示すように、32 ビットで構成されます。ヘッダー・パターンは固定で 0000 0000 0001 (11 個のゼロの後に 1) です。書き込み順は先頭の "0" が最初です。この 12 ビットがヘッダーを構成します。次の 4 ビットは書き込み対象レジスタのアドレスを示し、残りの 16 ビットがアドレスで指定したレジスタへの書き込みデータです。各レジスタのアドレスを Table 5 に示します。

レジスタに書き込むデータの内容については「1.4 レジスタの説明」を参照してください。

連続したレジスタ・アクセスは 33 番目の SCLK からすぐに開始することが可能です。すなわち、レジスタのアクセスと次のアクセスとの間に SCS 入力をいったんネゲートして再びアサートする必要はありません。拡張制御モードで動作させる場合に、推奨はしませんが、SCS 入力をイネーブル (Low) に固定する方法もあります。

デバイスがパワーダウン・モードに移行しても、制御レジスタの内容は保持されます。

重要: コンバータの較正中にシリアル・インタフェースへの書き込みを行わないでください。書き込みを行った場合、正しく再較正を行うまで、デバイスは性能が劣化した状態で動作します。シリ

アル・レジスタをプログラミングした場合も、レジスタ・アクセスの期間にわたって、A/D コンバータのダイナミック性能は低下します。

TABLE 5. Register Addresses

4-Bit Address					
Loading Sequence: A3 loaded after H0, A0 loaded last					
A3	A2	A1	A0	Hex	Register Addressed
0	0	0	0	0h	Calibration
0	0	0	1	1h	Configuration
0	0	1	0	2h	"I" Ch Offset
0	0	1	1	3h	"I" Ch Full-Scale Voltage Adjust
0	1	0	0	4h	Reserved
0	1	0	1	5h	Reserved
0	1	1	0	6h	Reserved
0	1	1	1	7h	Reserved
1	0	0	0	8h	Reserved
1	0	0	1	9h	Extended Configuration
1	0	1	0	Ah	"Q" Ch Offset
1	0	1	1	Bh	"Q" Ch Full-Scale Voltage Adjust
1	1	0	0	Ch	Reserved
1	1	0	1	Dh	Reserved
1	1	1	0	Eh	Sampling Clock Phase Fine Adjust
1	1	1	1	Fh	Sample Clock Phase Intermediate and Coarse Adjust

1.0 機能説明 (つづき)

1.4 レジスタの説明

拡張制御モードでは 9 個の書き込み専用レジスタによってさまざまな制御設定オプションが提供されます。これらのレジスタの内容は通常制御モードの動作には影響を与えません。以下に説明する各レジスタの詳細には、パワーオン・リセット (POR) 後のデフォルト状態を併記しています。

較正レジスタ

アドレス : 0h (0000b) 書き込み専用 (0x7FFF)

D15	D14	D13	D12	D11	D10	D9	D8
CAL	1	1	1	1	1	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 CAL: 較正イネーブル。このビットを 1b に設定すると、コマンド較正サイクルが開始されます。この機能は、CAL ピンによってコマンド較正を実行する場合と、全く同じです。

POR デフォルト : 0b

Bit 14:0 1b を書き込んでください。

構成レジスタ

アドレス : 1h (0001b) 書き込み専用 (0xB2FF)

D15	D14	D13	D12	D11	D10	D9	D8
CAL	1	1	1	1	1	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 1b を書き込んでください。

Bit 14 0b を書き込んでください。

Bit 13 nSD: 第 2DCLK 出力イネーブル。このビットを 1b に設定すると、デバイスの DCLK および OR 出力が 1 つずつになります。このビットを 0b に設定すると、デバイスからは全く同一の DCLK が 2 つ出力され、OR 信号は出力されなくなります。

POR デフォルト : 1b

Bit 12 DCS: デューティ・サイクル・スタビライザ。このビットを 1b に設定すると、デューティ・サイクル安定化回路がクロック入力に適用されます。このビットを 0b に設定すると、安定化回路はディスエーブルされます。

POR デフォルト : 1b

Bit 11 DCP: DDR クロック位相。このビットは DDR モードにのみ作用します。このビットを 0b に設定すると、DCLK エッジはデータバス・エッジのタイミングに揃えられます (位相 0°)。このビットを 1b に設定すると、DCLK エッジはデータビット・セルの midpoint に置かれ (位相 90°、Figure 4 のように、データレート の 1/2 の周波数の DCLK は位相基準として用いられます)。

POR デフォルト : 0b

Bit 10 nDE: DDR イネーブル。このビットを 0b に設定するとデータバス・クロッキングは DDR (ダブル・データレート) モードになり、データ・ワードは DCLK の立ち上がりクロックと立ち下がりクロックで出力されます。このビットを 1b に設定するとデータバス・クロッキングは SDR (シングル・データレート) モードになり、OutEdge ビットの設定にもとづいて、データ・ワードは DCLK の立ち上がりまたは立ち下がりいずれかで出力されます。

POR デフォルト : 0b

Bit 9 OV: 出力電圧。このビットは通常制御モードでの OutV ピンの機能と同じく、LVDS の出力電圧振幅を決定します。このビットを 1b に設定すると標準出力振幅 710mV_{p,p} が使用されます。このビットを 0b に設定すると出力振幅は抑えられ 510mV_{p,p} が使用されます。

POR デフォルト : 1b

Bit 8 OED: 出力エッジとデマルチプレクサの制御。このビットは 2 つの機能を持っています。このビットは通常制御モードでの OutEdge ピンの機能と同じく、SDR モードでデータ・ワード遷移を生じさせる DCLK エッジを選択します。このビットを 1b に設定すると、データ出力は DCLK + 立ち上がりエッジで変化します。このビットを 0b に設定すると、データ出力は DCLK + 立ち下がりエッジで変化します。デバイスが DDR モードで動作している場合に、このビットを 1b に設定すると非デマルチプレクサ・モードが選択されます。0b に設定すると、1:2 デマルチプレクサ・モードに設定されます。デフォルトは 1:2 デマルチプレクサ・モードです。DDR モードでは、DCLK とデータの位相関係は 0 です。

POR デフォルト : 0b

Bit 7:0 1b を書き込んでください。

重要 : このレジスタに書き込むのはパワーアップ後の初期化の時だけにしてください。信号の基本的な設定が変更され、DCLK 出力に影響を与える恐れがあるためです。

1.0 機能説明 (つづき)

I チャンネル・オフセット アドレス: 2h (0010b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Offset Value (LSB)							
D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

Bit 15:8 オフセット値。このフィールドを使って、I チャンネル A/D コンバータの入力オフセットをリニアかつ単調 (モノトニック) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。すなわち、レジスタ値の 1 ビットは 0.176mV のオフセット増分に相当します。

POR デフォルト: 0000 0000 b

Bit 7 符号ビット。0b は正のオフセットを与え、1b は負のオフセットを与えます。結果としてオフセットは ± 45mV まで調整できます。

POR デフォルト: 0b

Bit 6:0 1b を書き込んでください。

I チャンネル・フルスケール電圧調整 アドレス: 3h (0011b) 書き込み専用 (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Adjust Value							
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

Bit 15:7 フルスケール電圧調整値。I チャンネル A/D コンバータの入力フルスケール電圧、すなわちゲインを、9 ビットのレジスタ値によってリニアかつ単調 (モノトニック) に調整します。調整範囲は公称 700mV_{P-P} 差動値の ± 20% です。

0000 0000 0 560mV_{P-P}

1000 0000 0 700mV_{P-P}

デフォルト値

1111 1111 1 840mV_{P-P}

最高性能を発揮させるために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で ± 15% に制限します。残りのマージン ± 5% によって A/D コンバータのフルスケールばらつきが吸収されます。ゲイン調整で A/D コンバータの再較正は必要ありません。

POR デフォルト: 1000 0000 0b (無調整)

Bit 6:0 1b を書き込んでください。

拡張構成レジスタ アドレス: 9h (1001b) 書き込み専用 (0x03FF)

D15	D14	D13	D12	D11	D10	D9	D8
TPO	RTD	DES	IS	0	DLF	1	1

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

Bit 15 TPO: テスト・パターン出力。このビットを 1b に設定すると、A/D コンバータは停止し、テスト・パターン発生器が OR も含んで出力に接続されます。このテスト・パターンは SDR および DDR および非デマルチプレクサ出力モードにあるデバイスで有効です。

POR デフォルト: 0b

Bit 14 RTD: 抵抗調整のディスエーブル。このビットを 1b に設定すると、入力終端抵抗は較正サイクル中に調整されず、DCLK 出力はイネーブルのままを保ちます。ただし、このビットの設定にかかわらず A/D コンバータの較正は行われます。

POR デフォルト: 0b

Bit 13 DES: DES イネーブル。このビットを 1b に設定するとデュアル・エッジ・サンプリング・モードがイネーブルになります。DES モードでは、デバイスに内蔵されている 2 系統のコンバータを使用して、同一のアナログ入力を時間インターリーブによって変換し、入力クロック・レートの 2 倍のサンプリング・レートを達成します。このビットを 0b に設定するとデバイスは通常のデュアル・チャンネル・モードで動作します。

POR デフォルト: 0b

Bit 12 IS: 入力選択。このビットを 0b に設定すると "I" 入力が両方のコンバータで使用されます。このビットを 1b に設定すると "Q" 入力が両方のコンバータで使用されます。

POR デフォルト: 0b

Bit 11 0b を書き込んでください。

Bit 10 DLF: 低周波数。このビットを 1b に設定すると、入力クロック周波数が 900MHz 未満のときに、デバイスのダイナミック性能が向上します。

POR デフォルト: 0b

Bit 9:0 1b を書き込んでください。

Q チャンネル・オフセット アドレス: Ah (1010b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Offset Value (LSB)							

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

Bit 15:8 オフセット値。このフィールドを使って、Q チャンネル A/D コンバータの入力オフセットをリニアかつ単調 (モノトニック) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。すなわち、レジスタ値の 1 ビットは 0.176mV のオフセット増分に相当します。

POR デフォルト: 0000 0000 b

Bit 7 符号ビット。0b は正のオフセットを与え、1b は負のオフセットを与えます。

POR デフォルト: 0b

Bit 6:0 1b を書き込んでください。

1.0 機能説明 (つづき)

Q チャンネル フルスケール電圧調整

アドレス: **Bh (1011b)** 書き込み専用 (**0x807F**)

D15	D14	D13	D12	D11	D10	D9	D8
Adjust Value							
D7	D6	D5	D4	D3	D2	D1	D0
(LSB) 1 1 1 1 1 1 1							

Bit 15:7 フルスケール電圧調整値。I チャンネル A/D コンバータの入力フルスケール電圧、すなわちゲインを、9ビットのレジスタ値によってリニアかつ単調 (モノトニック) に調整します。調整範囲は公称 700mV_{P-P} 差動値の ± 20% です。

0000 0000 0	560mV _{P-P}
1000 0000 0	700mV _{P-P}
1111 1111 1	840mV _{P-P}

最高性能を発揮させるために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で ± 15% に制限します。残りのマージン ± 5 % によって A/D コンバータのフルスケールばらつきが吸収されます。ゲイン調整で A/D コンバータの再較正は必要ありません。

POR デフォルト: 1000 0000 0b (無調整)

Bit 6:0 1b を書き込んでください。

サンプリング・クロックの位相微調整

アドレス: **Bh (1011b)** 書き込み専用 (**0x807F**)

D15	D14	D13	D12	D11	D10	D9	D8
Fine Phase Adjust							
D7	D6	D5	D4	D3	D2	D1	D0
(LSB) 1 1 1 1 1 1 1							

Bit 15:8 位相の微調整。このフィールドの値を使って、A/D コンバータのサンプリング・クロックの位相を単調 (モノトニック) に調整します。00h は公称ゼロの位相調整 (遅延なし) を行い、FFh は公称 50ps の遅延を与えます。したがって、レジスタ値の 1 ビットは 0.2ps の遅延量に相当します。

POR デフォルト: 0000 0000b

Bit 7:0 1b を書き込んでください。

サンプリング・クロック位相の中 / 粗調整

アドレス: **Bh (1011b)** 書き込み専用 (**0x807F**)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB) Coarse Phase Adjust						IPA	
D7	D6	D5	D4	D3	D2	D1	D0
(LSB) 1 1 1 1 1 1 1							

Bit 15 極性選択。このビットを選択すると、A/D コンバータ・サンプリング・クロックの極性が反転します。POR デフォルト: 0b

Bit 14:10 位相の粗調整。このフィールドのコード値が 1 大きくなるごとに、サンプリング・クロックが約 65ps 遅延します。このフィールドに値 00000b を設定すると調整量がゼロになります。POR デフォルト: 00000b

Bit 9:7 位相の中調整。このフィールドのコード値が 1 大きくなるごとに、サンプリング・クロックが約 11ps 遅延します。値 000b は調整量ゼロです。位相の粗調整と中調整を組み合わせると実現可能な最大の調整量は約 2.1ns です。POR デフォルト: 000b

Bit 6:0 1b を書き込んでください。

1.4.1 クロック位相調整に関する注意

この機能の目的は、複数の A/D コンバータを使用する場合に、プリント基板上のクロック分配配線の、わずかなばらつきを補償することです。ただし、この機能を使用すると一定の割合でダイナミック特性 (SNR、ENOB、SFDR) が劣化することに注意してください。劣化の度合いは、調整量を増やすほど大きくなります。したがって、(a) 調整量は最低限とし、(b) 適用前に、システムに対するこの機能の最終的なメリットを確認することを強く推奨します。

1.4.2 拡張モードのオフセット補償に関する注意

I チャンネルまたは Q チャンネルのオフセット調整レジスタを使用する場合は、次の点に注意してください。

オフセット設定値 + 0000 0000 とオフセット設定値 - 0000 0000 とでは実際のオフセットは同じになりません。設定値は符号ビットが異なるだけですが、デジタル出力コードには LSB のおよそ 1/10 のオフセット変化が生じます。この様子を以下の図に示します。

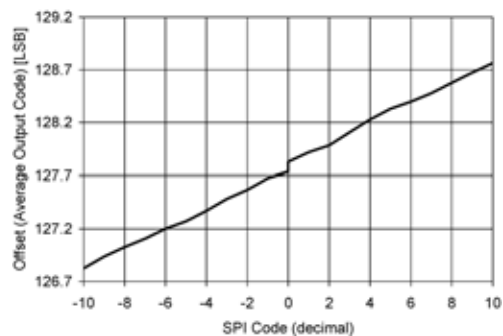


FIGURE 11. Extended Mode Offset Behavior

1.5 複数デバイスの同期

外部から供給する DCLK_RST パルスによって、ADC08D1020 のサンプリング・クロック入力と DCLK 出力のタイミング関係は正確にリセットされます。この機能を用いれば、システム内に複数デバイスがある場合に、すべてのデバイスがサンプリングに使用する共有 CLK 入力に対して、それぞれの DCLK (とデータ) の出力遷移を同期させることができます。

1.0 機能説明 (つづき)

DCLK_RST 信号は「タイミング図」の Figure 7 ~ 9 に示されるタイミング要件を満たさなければなりません。DCLK_RST パルスは最小幅を満たさなければならないほか、ネゲートするエッジは CLK 入力立ち上がりエッジに対してセットアップ時間とホールド時間を満たさなければなりません。DCLK_RST パルスの幅は、リセット条件の終了後、有効なデジタル・データが再度出力されるまでにかかる時間に影響を与えます。したがって、DCLK_RST のパルス幅はシステム・アプリケーションの制約の範囲内でできるだけ短くします。これらのタイミング仕様は、「コンバータの電気的特性」の t_{RH} 、 t_{RS} 、 t_{PWR} で規定されています。

DCLK_RST 信号は入力クロックに対して非同期にアサートしても問題ありません。DCLK_RST をアサートすると、DCLK 出力は規定されたステートに保持されます。リセット期間中に保持される DCLK ステートは、動作モード (SDR/DDR) と、出力エッジのピン設定またはレジスタ設定により決まります (DCLK リセット・ステート条件については Figure 7 ~ 9 を参照してください)。そのため、DCLK_RST 信号をアサートしたタイミングに応じて、このリセット事象の際に DCLK に短いパルスが生じることがあります。同期処理中に CLK 立ち上がりエッジで DCLK_RST 信号をネゲートすると、次の CLK 立ち上がりエッジで、システム内の全 ADC08D1020 の DCLK 出力の同期が行われます。DCLK 出力は、CLK 入力から DCLK 出力の遅延時間 (t_{OD}) に等しい一定時間の遅延 (入力クロック周波数に対して) 後に再びイネーブルになります。正常動作ではこの遅延が必ず生じます。シングルエンドの DCLK_RST 信号を選択することもできますが、タイミング仕様として優れた差動 DCLK_RST を強く推奨します。

「タイミング図」の Figure 7 ~ 9 に示したように、DCLK_RST のネゲートから DCLK が再度出現するまでには遅延があり、その長さは CLK パルスの数サイクル + t_{OD} に等しくなります。DCLK_RST のネゲートは、次の CLK 立ち上がりエッジまでラッチされないことに注意してください。1:2 デマルチプレクサ DDR 0 モードの場合、同期エッジから t_{OD} の開始までに 4 サイクルのシステム・ディレイが生じます。他のモードにおける遅延は 3 サイクルです。

DCLK が連続して出力されるようにデバイスが設定されていない場合は、DCLK は較正サイクルの間、非アクティブになります。したがって、DCLK はデータ・キャプチャ用クロックにのみ使用し、システム用クロックとしては使用しないことを強く推奨します。

DCLK_RST ピンは、較正プロセスの実行中 (CalRun が High の間) は High にしてはなりません。万が一 High にするとデジタル回路内にグリッチが発生し、較正は正しく実行できず無効になります。

1.6 A/D コンバータ・テスト・パターン

システムのデバッグに役立つように、ADC08D1020 は入力信号と全く関係しないテスト・パターンを 4 つの出力ポートに提供する能力を備えています。A/D コンバータは休止して、テスト・パターン発生器が OR を含んで出力に接続されます。DES モード、非 DES モードのテスト・パターン出力は同じです。Table 6 と Table 7 に示すように、各ポートには 1 と 0 を交互に変化させる一意の 8 ビット・ワードが与えられます。

TABLE 6. Test Pattern by Output Port in 1:2 Demultiplex Mode

Time	Qd	Id	Q	I	OR	Comments
T0	01h	02h	03h	04h	0	Pattern Sequence n
T1	FEh	FDh	FCh	FBh	1	
T2	01h	02h	03h	04h	0	
T3	FEh	FDh	FCh	FBh	1	
T4	01h	02h	03h	04h	0	

Time	Qd	Id	Q	I	OR	Comments
T5	01h	02h	03h	04h	0	Pattern Sequence n+1
T6	FEh	FDh	FCh	FBh	1	
T7	01h	02h	03h	04h	0	
T8	FEh	FDh	FCh	FBh	1	
T9	01h	02h	03h	04h	0	Pattern Sequence n+2
T10	01h	02h	03h	04h	0	
T11	

非デマルチプレクサ・モードに設定されたデバイスでは、テスト・パターンの順序が Table 7 に示したものになります。

TABLE 7. Test Pattern by Output Port in Non-demultiplex Mode

Time	Q	I	OR	Comments
T0	01h	02h	0	Pattern Sequence n
T1	FEh	FDh	1	
T2	01h	02h	0	
T3	01h	02h	0	
T4	FEh	FDh	1	
T5	FEh	FDh	1	
T6	01h	02h	0	
T7	01h	02h	0	
T8	FEh	FDh	1	
T9	01h	02h	0	
T10	01h	02h	0	Pattern Sequence n+1
T11	FEh	FDh	1	
T12	01h	02h	0	
T13	01h	02h	0	
T14	FEh	FDh	1	
T15	

I チャンネルと Q チャンネルのテスト・パターンを同期させずに出力することも可能です。I と Id または Q と Qd のパターンのいずれかを DCLK の 1 サイクル分だけスリップさせることができます。

各ポートのテスト・パターンが同期して開始されるように、拡張構成レジスタのテスト・パターン出力ビットに書き込みを行っている間に DCLK_RST をセットしておいてください。DCLK_RST を Low にした時点で、データ出力ポートにパターンが出力されます。このテスト・パターンは通常動作と同じ速度で動作し、SDR、DDR および非デマルチプレクサ出力モードで使用できます。

2.0 アプリケーション情報

2.1 リファレンス電圧

ADC08D1020 のリファレンス電圧は、1.254V バンドギャップ・リファレンスから生成され、外部で利用できるようにバッファを通して 31 ピンの V_{BG} から出力されています。

この出力は、 $\pm 100\mu\text{A}$ の電流を供給できます。これ以上の電流が必要な場合は、バッファを追加する必要があります。

内部バンドギャップから生成されるリファレンス電圧の公称値は 650mV または 870mV のいずれかで、FSR ピンによって選択します。詳しくは「1.1.4 アナログ入力」を参照してください。

リファレンス電圧を外部から与える方法はありませんが、「1.2 通常制御と拡張制御」で説明したとおり、フルスケール入力電圧は拡張制御モードであれば構成レジスタを使って設定可能です。

選択したフルスケール・レベルを上限とする差動入力信号は 8 ビットでデジタル化されます。フルスケール・レンジを超えた信号は出力でクリッピングされます。このような大きな信号を与えると OR 出力がアクティブになってレンジを逸脱していることを外部に知らせます。「2.2.2 アウト・オブ・レンジ (OR) 出力」を参照してください。

V_{BG} ピンには LVDS 出力の同相電圧レベルを高める機能もあります。 V_{BG} ピンを出力として使用した場合、もしくは開放で使用した場合、出力オフセット電圧 (V_{OS}) は代表値で 800mV です。LVDS オフセット電圧を代表値で 1,175mV に上げるには、 V_{BG} ピンを電源レールに直接接続します。

2.2 アナログ入力

アナログ入力は差動入力で、信号は AC 結合または DC 結合で与えます。通常モードでは、「コンバータの電気的特性」に規定したとおり、FSR ピンによって入力フルスケール・レンジを選択します。拡張制御モードでは、シリアル・インタフェースを介してフルスケール電圧調整レジスタをプログラムすることによって、入力フルスケール・レンジを調整できます。拡張制御モードによる入力フルスケール・レンジの調整で最適な性能を得るには、「1.4 レジスタの説明」で述べる調整量の制限に関するガイドラインに従ってください。

通常 (非拡張) モードで FSR ピンを High で使用したときの入力と出力の関係を Table 8 に示します。FSR ピンが Low の場合、電圧は Table 8 記載の mV 値の 75% になります。拡張制御モードの場合、これらに対応する電圧値は、制御レジスタのフルスケール・レンジ設定とオフセット設定によって変わります。

TABLE 8. Differential Input To Output Relationship (Non-Extended Control Mode, FSR High)

V_{IN+}	V_{IN-}	Output Code
$V_{CM} - 217.5\text{ mV}$	$V_{CM} + 217.5\text{ mV}$	0000 0000
$V_{CM} - 109\text{ mV}$	$V_{CM} + 109\text{ mV}$	0100 0000
V_{CM}	V_{CM}	0111 1111 / 1000 0000
$V_{CM} + 109\text{ mV}$	$V_{CM} - 109\text{ mV}$	1100 0000
$V_{CM} + 217.5\text{ mV}$	$V_{CM} - 217.5\text{ mV}$	1111 1111

アナログ入力をバッファリングした信号で駆動すると A/D コンバータ入力のサンプリングに通常使用される RC ボールは不要になります。A/D コンバータの前段にアンプを置く場合、適切なノイズ性能と歪み性能、およびアプリケーションが使用する周波数において適切なゲインを持つアンプを選択するようにしてください。

A/D コンバータ入力には正確な DC 同相電圧を与えなければなりません。AC 入力結合をした場合は同相電圧 V_{CMO} はチップ内部で生成されるので、A/D コンバータには AC 結合した入力信号を与えます。

入力を AC 結合で用いる場合は、必ず V_{CMO} 出力を Figure 12 に示すようにグラウンドに接続してください。このように接続することで、チップ内で生成される V_{CMO} 電圧は、内部の 50k 抵抗を介して入力に与えられます。

重要：使用しないアナログ入力チャネル (例えば DES モードの場合) は、入力が AC 結合であれば AC グラウンド (つまりグラウンドに接続されたコンデンサ) に接続します。未使用アナログ入力を直接グラウンドに接続してはなりません。

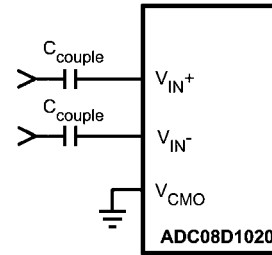


FIGURE 12. Differential Input Drive

DC 結合で動作させる場合には差動入力に同相電圧を与えなければなりません。この同相電圧は V_{CMO} 出力ピンに追従しなければなりません。 V_{CMO} 出力電圧は温度によって変化する点に注意が必要です。アナログ入力を駆動するデバイスの同相電圧はこの変化に追従できなければなりません。

重要：使用しないアナログ入力チャネル (例えば DES モードの場合) は、入力が DC 結合であれば V_{CMO} に接続してください。未使用アナログ入力をグラウンドに接続してはなりません。

入力同相電圧が V_{CMO} から偏移するとフルスケール歪み性能が急激に悪化します。この現象は消費電力を抑えるために低い電源電圧を使用したときに必然的に生じます。入力同相電圧は V_{CMO} の 50mV 以内に維持してください。

正負両方のアナログ入力の入力同相電圧を V_{CMO} の 50mV 範囲内に維持すれば、DC 結合時の性能は AC 結合時の性能と同等になります。

2.2.1 シングルエンド入力信号の取り扱い

ADC08D1020 はシングルエンド入力信号を適切に扱える手段を備えていません。シングルエンド信号を取り扱う場合は、シングルエンド信号を A/D コンバータに与える前に差動信号に変換する方法が最も適切です。シングルエンドから差動信号への最も簡単な変換手段は、Figure 13 に示すようなバラン接続のトランスです。

2.2.1.1. AC 結合入力

シングルエンド AC 入力から差動 AC 信号への最も簡単な変換手段は、Figure 13 に示すようなバラン接続のトランスです。

2.0 アプリケーション情報 (つづき)

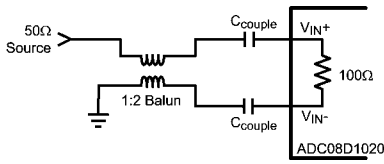


FIGURE 13. Single-Ended to Differential Signal Conversion Using a Balun

Figure 13 はシングルエンドから差動にバランを使用して信号を変換する回路の一般的な構成です。バランの回路構成は使用するバランのタイプと全体的な基板レイアウトに依存します。回路を設計する際は、選択したバランの性能が引き出せるように、シングルエンドから差動への信号変換に必要な情報をバランのメーカーから入手してください。

バランの選択では A/D コンバータの入力アーキテクチャを理解しておく必要があります。システム設計者として注意すべきバラン・トランスのパラメータがあります。まず、アナログ信号源のインピーダンスを、ADC08D1020 に内蔵された差動入力終端抵抗 100 に整合させます。この入力終端抵抗値の範囲は R_{IN} 仕様として電気的特性の表に記載されています。

また、位相と振幅の平衡も重要です。位相と振幅の不均衡が最も小さくなるようにバランを選択してください。± 2.5 を超える位相不均衡がないようにし、使用する入力周波数における振幅不均衡を 1dB 未満に抑える必要があります。さらに、バランを選択するときは、バランの VSWR (電圧定在波比) と挿入損失についても考慮が必要です。VSWR は、A/D コンバータ入力に接続したときに、伝送ラインの全体的な終端能力を決める要因になります。また、バラン出力の信号が、「コンバータの電気的特性」に記載された A/D コンバータの規定入力範囲 V_{IN} に収まるように、挿入損失を考慮しなければなりません。

2.2.1.2. DC 結合入力

ADC08D1020 アナログ入力に DC 結合で接続する場合、シングルエンドから差動への信号変換は Figure 14 に示すように、LMH6555 を使えば簡単です。このようなアプリケーションで LMH6555 は、ADC08D1020 に必要な低歪みと低ノイズ、および出力の平衡を維持しながら、シングルエンドから差動に信号変換を行います。適当なバッファを介して ADC08D1020 V_{CMO} ピンを LMH6555 の V_{CM_REF} に接続すると、ADC08D1020 の最適な性能に必要な入力同相電圧が確保されます。ここでは、低電圧で動作しオフセット電圧の小さい LMV321 を、 V_{CMO} バッファに選択しています。

ADC08D1020 の V_{CMO} ピンからの出力電流は、必ず 100μA 以下に制限してください。

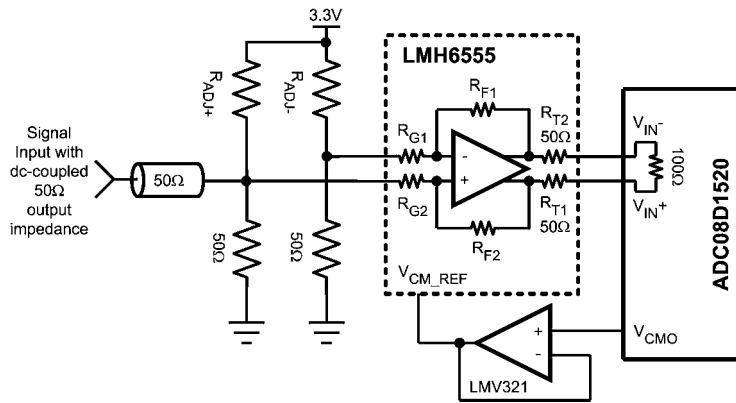


FIGURE 14. Example of Servoing the Analog Input with V_{CMO}

Figure 14 の R_{ADJ-} と R_{ADJ+} は、差動オフセットを調整するための抵抗です。差動オフセットは、LMH6555 の入力を、グラウンド終端側は図の通り結線し、電源 (3.3V) 側は接続せず、 R_{ADJ} もない状態で、A/D コンバータ入力 V_{IN+} / V_{IN-} の電圧を測定して得られます。 V_{IN-} を基準として |15mV| より大きな調整前の正オフセットは、 R_{ADJ-} の抵抗値によって低減してください。同様に、 V_{IN+} を基準として |15mV| より大きな調整前の負オフセットは、 R_{ADJ+} の抵抗値によって低減してください。調整前オフセット範囲のそれぞれに対して、 V_{IN+} / V_{IN-} オフセットを |15mV| 以内に抑える R_{ADJ-} と R_{ADJ+} の推奨抵抗値を、Table 9 に示します。

TABLE 9. D.C. Coupled Offset Adjustment

Unadjusted Offset Reading	Resistor Value
0mV to 10mV	no resistor needed
11mV to 30mV	20.0kΩ
31mV to 50mV	10.0kΩ
51mV to 70mV	6.81kΩ
71mV to 90mV	4.75kΩ
91mV to 110mV	3.92kΩ

2.0 アプリケーション情報 (つづき)

2.2.2 アウト・オブ・レンジ (OR) 出力

クリッピングされた変換結果が得られた場合、OR + が High になり OR - が Low になって、範囲外 (アウト・オブ・レンジ) であることを示します。出力バスのいずれかから出力される本来のデータが 00h から FFh のレンジを逸脱している限り、OR 出力はアクティブの状態を続けます。第 2 の DCLK を出力するようにデバイスをプログラムした場合、OR 信号が DCLK2 になることに注意してください。「1.4 レジスタの説明」を参照してください。

2.2.3 フルスケール入力レンジ

あらゆる A/D コンバータと同様に、入力レンジは A/D コンバータのリファレンス電圧によって決まります。ADC08D1020 のリファレンス電圧は、内部バンドギャップ・リファレンスから生成しています。FSR ピンは ADC08D1020 の実効リファレンス電圧を制御し、FSR ピンが High のときアナログ入力の差動フルスケール入力レンジは通常の振幅に、FSR ピンが Low のときは振幅が小さくなります。これらの振幅は「コンバータの電気的特性」に V_{IN} として規定されています。最高の SNR は FSR が High の場合に得られますが、より優れた歪み性能と SFDR 性能は FSR が Low のときに得られます。Figure 14 の LMH6555 はあらゆるフルスケール・レンジに適合します。

2.3 クロック入力

ADC08D1020 は差動 LVDS クロック入力 CLK + と CLK - を備えています。これらクロック・ピンは AC 結合の差動クロック信号で駆動しなければなりません。ADC08D1020 は 1GHz の差動クロックで試験され、その性能が保証されていますが、通常は「コンバータの電気的特性」に記載のクロック周波数で良好な性能を発揮します。クロック入力は内部終端され、バイアスが加えられています。入力クロック信号は Figure 15 に示すように、クロック・ピンに容量性結合させる必要があります。

「コンバータの電気的特性」に記載のサンプリング・レートを上限とする動作は、記載されている最大周囲温度を超えない限り、一般に問題ありません。与えられた周囲温度で、規定されているサンプリング・レートより高いサンプリング・レートで動作させると、デバイスの信頼性と製品寿命を損ねる結果を招く場合があります。その理由は、サンプリング・レートが高くなると消費電力が大きくなり、ダイ温度が上昇するためです。信頼性の確保では適切なサーマル・マネジメントも重要です。「2.6.2 サーマル・マネジメント」を参照してください。

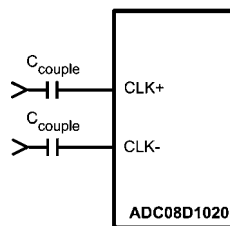


FIGURE 15. Differential (LVDS) Input Clock Connection

差動入力クロック・ライン・ペアは 100 Ω の特性インピーダンスを持たなければならず、また (パランを使用するときは)、クロック・ソース端でその特性インピーダンス (100 Ω) で終端しなければなりません。クロック・ラインは、できる限り短く、また、できる限り直接配線してください。ADC08D1020 のクロック入力は調整されていない 100 Ω 抵抗によって内部終端されています。

クロック・レベルが十分にないとダイナミック性能が悪化します。逆に、過度のクロック・レベルはアナログ入力オフセット電圧を変化させる可能性があります。このような問題を防ぐために、入力ク

ロック・レベルは「コンバータの電気的特性」に V_{ID} として規定されている電圧範囲に維持してください。

一般に A/D コンバータの性能は、クロックの Low 時間および High 時間に影響されます。ADC08D1020 は、DES モードにおいても温度範囲にわたって性能を維持する、デューティ・サイクル・クロック補正回路を内蔵しています。A/D コンバータは入力クロックの High 時間と Low 時間が「コンバータの電気的特性」に記載のデューティ・サイクルの範囲に維持されている限り性能仕様を満たします。

ADC08D1020 のような高速かつ高性能な A/D コンバータは、位相ノイズ、すなわちジッタの少ないきわめて安定したクロックを必要とします。A/D コンバータのジッタ要件は、A/D コンバータの分解能 (ビット数)、A/D コンバータの最高入力周波数、A/D コンバータ入力フルスケール・レンジに対する入力信号振幅の比で決まります。ジッタに起因する SNR 低下を生じさせない許容される最大ジッタ (すべてのジッタ源に起因するジッタの合計) は次のとおりです。

$$t_{j(\text{MAX})} = (V_{\text{INFSR}}/V_{\text{IN(P-P)}}) \times (1/2^{(N+1)} \times \pi \times f_{\text{IN}})$$

$t_{j(\text{MAX})}$ は全ジッタ源の rms の合計で単位は秒、 $V_{\text{IN(P-P)}}$ はアナログ入力信号のピーク・ツー・ピーク値、 V_{INFSR} は A/D コンバータのフルスケール・レンジ、"N" は A/D コンバータの分解能で単位はビット数、 f_{IN} は A/D コンバータのアナログ入力の最高入力周波数で単位は Hz です。

上述の最大ジッタは、システムが A/D コンバータ入力クロックと入力信号に付加するジッタと、A/D コンバータ自身が A/D コンバータ入力クロックに付加するジッタを含む、すべてのジッタ源から発生するジッタの根二乗和です。A/D コンバータが追加するジッタは設計者が管理できる範囲の外にあるため、設計者は、外部回路が追加するクロック・ジッタと、アナログ回路がアナログ信号に追加するジッタの合計を最小限に抑えるように努めなければなりません。

「コンバータの電気的特性」で規定されている入力クロック振幅を超える振幅を与えると入力オフセット電圧が上昇する場合があります。正負両方の入力ピンが同一の電位にあっても、コンバータは、見込まれる 127/128 以外の出力コードを生成する可能性があります。

2.4 制御ピン

6 本の制御ピン (シリアル・インタフェースで使用するピンは含みません) は、ADC08D1020 の動作に自由度を与えるとともに、その適用範囲を広げます。制御ピンによって、フルスケール入力レンジの設定、較正の開始、較正遅延の設定、出力同期エッジの選択、LVDS 出力レベルの選択、パワーダウン機能などがサポートされます。

2.4.1 フルスケール入力レンジの設定

通常制御モードでは、FSR 制御入力 (14 ピン) によって入力フルスケール・レンジを選択できます。入力フルスケール・レンジは「コンバータの電気的特性」では V_{IN} として規定されています。拡張制御モードでは、フルスケール電圧調整レジスタをプログラムすることによって、入力フルスケール・レンジを調整できます。詳細は「2.2 アナログ入力」を参照してください。

2.4.2 較正

定格性能を実現するために ADC08D1020 では較正を実行する必要があります。この較正処理はパワーアップ時に実行されますが、外部からのコマンド指示によって実行させることも可能です。較正処理は、パワーオン時にクロックが印加されている状態でも、あるいは電源印加後にある時間を経過してからクロックを与えた場合でも同一です。較正処理の実行中は CalRun 出力インジケータが High になります。DCLK 出力は較正サイクル中はアクティブにはならないため、抵抗調整ディスプレイ機能 (レジスタ・アド

2.0 アプリケーション情報 (つづき)

レス 9h) を使用しない限り、システム・クロックとしては推奨しません。DCLK が途切れることなく出力されるのは、抵抗調整ディスプレイ機能が有効な場合のみです。

2.4.2.1 パワーオン較正

パワーオン較正は、電源を印加後、ある遅延の後に開始されます。この時間遅延は以下の「較正遅延」セクションに記載のとおり CalDly の設定によって決まります。

電源投入時に CAL ピンを High にしていると較正処理は実行されません。この場合、較正サイクルはコマンドによる較正が行われるまで開始されません。電源投入時に CAL ピンを High にすると、ADC08D1020 は動作しますが較正は行われなため、十分な性能が得られません。ただし、パワーオン後に CAL ピンを High にすることでマニュアル較正を実行可能です。「2.4.2.2 コマンドによる較正」を参照してください。

内部パワーオン較正回路は不定なロジック・ステートで起動します。クロックが電源投入時に入力されておらず、パワーオン較正回路がアクティブな場合、デバイスはアナログ回路をパワーダウンし、消費電力は通常 200mW 未満になります。クロックが与えられると消費電力は通常の値に戻ります。

2.4.2.2 コマンドによる較正

コマンド較正を開始するには、CAL ピンを t_{CAL_L} で規定される入力サイクル数以上 Low に保った後、 t_{CAL_H} サイクル以上 High に保ちます。電源投入時に CAL ピンを High にしておくと、その後 CAL ピンを t_{CAL_L} で規定される入力サイクル数以上 Low に保ち、次に t_{CAL_H} サイクル以上 High に保たない限り、パワーオン較正は行われません。較正サイクルは CAL ピンを High にした t_{CAL_H} サイクル後に開始されます。較正サイクルの完了を知るには CalRun 信号の監視が必要です。

t_{CAL_L} および t_{CAL_H} で規定される最小入力クロック・サイクルのシーケンスが必要となるのは、ランダムなノイズによって、要求していないにもかかわらず較正が開始されないようにするためです。前述の通り、最高性能を発揮するには、アプリケーションの電源を投入して 20 秒以上が経過してから較正を実行し、また、個々のシステム設計性能要件に比べて周囲温度が大幅に変化したときに再較正を実行してください。

デフォルトでは、この較正には入力終端抵抗と A/D コンバータの較正が含まれています。ただし、入力終端抵抗値はパワーアップ時に調整すれば、その後の温度による変化はわずかなので、ユーザーは入力終端抵抗の調整をディスプレイすることができません。抵抗調整をディスプレイすると、以降の較正中も DCLK が連続して出力されます。抵抗調整のディスプレイは、拡張制御モードによってレジスタ (アドレス 1h、ビット 13) から設定します。レジスタの設定については「1.4 レジスタの説明」を参照してください。

2.4.2.3 較正遅延

CalDly 入力 (127 ピン) は、「1.1.1 較正」に記載したとおり、電源電圧印加後の較正処理の開始を 2 種類の遅延時間から選択します。較正実行を遅延させることで、較正実行を行う前に電源の安定時間が確保されます。遅延がない場合、あるいは遅延が十分ではない場合、電源が動作状態に安定しない前に較正が実行される可能性があり、最適化されていない較正係数が得られてしまいます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスプレイされます。すなわち、電源オン時に PD ピンを High に保てば、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDly ピンの最適な設定は、電源の電圧セトリング時間によって異なります。

較正遅延は拡張制御モードでは選択できません。短時間遅延が適用されます。

2.4.3 出力エッジの同期

コンバータ出力データを外部回路でラッチできるように DCLK 信号が出力されています。出力データは DCLK 信号のいずれかのエッジに同期が可能です。すなわち、出力データの同期エッジは、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定することができ、外部の受信回路は DCLK 信号の対応するエッジを使って出力データをラッチします。

OutEdge (4 ピン) が High のとき、出力データは DCLK + (82 ピン) の立ち上がりエッジに同期 (変化) します。OutEdge が Low のとき、出力データは DCLK + の立ち下がりエッジに同期します。

ADC08D1020 が対応可能な高周波数では、DCLK とデータ・ラインのわずかなトレース長の違いがデータ・キャプチャの成功あるいは失敗につながります。OutEdge ピンを使えば、アプリケーション回路とレイアウトに最も適した DCLK エッジでデータをキャプチャすることが可能になります。

高い信頼性でデータ・キャプチャを行うには、32 本の信号データバス全体に対して、単一の DCLK + / - 信号を使用します。ただし、必要に応じて、OR + / - 出力を第 2 の DCLK + / - 出力として使用することもできます。

2.4.4 LVDS 出力レベル制御

出力レベルは OutV (3 ピン) を使用して 2 種類のレベルから選択します。OutV を High にすると出力ドライバの駆動能力が強くなります。OutV を Low にすると出力ドライバの消費電力は抑えられますが出力レベルが低いのでノイズ耐性は低下します。

LVDS ライン長が短くノイズが小さなシステムでは、OutV 入力を Low にしても十分な性能が得られる可能性があります。LVDS ラインが長い ADC08D1020 が使われているシステムにノイズが多い場合、あるいはその両方に該当する場合は、OutV ピンを High にする必要があると考えられます。

2.4.5 デュアル・エッジ・サンプリング

デュアル・エッジ・サンプリング (DES) 機能にすると、2 系統の入力ペアのうちひとつが両方のコンバータ回路にルーティングされます。残りの入力ペアは使用されません。一方のコンバータが入力信号を入力クロック・エッジ (デューティ・サイクル補正済み) でサンプリングし、一方のコンバータが入力信号を反対の入力クロック・エッジ (デューティ・サイクル補正済み) でサンプリングします。デバイスが 1:2 出力デマルチプレクサ・モードにある場合、出力データ・レートはインターリーブされたサンプリング・レートの 1/4、入力クロック周波数の 2 倍になります。データは、4 つの出力バスに同時に出力され、サンプリングされた順序は DQd、Dld、DQ、DI になります。デバイスが非デマルチプレクサ出力モードにある場合、出力データ・レートはインターリーブされたサンプリング・レートの 1/2 になります。データは、2 つの出力バスに同時に出力され、サンプリングされた順序は DQ、DI になります。

この機能を非拡張制御モードで使用する場合は 127 ピンをフローティングにします。"I" チャネルに与えられる信号が両方のコンバータで変換されます。較正遅延は短時間遅延のみが適用されます。

拡張制御モードでは、いずれの入力にデュアル・エッジ・サンプリングを適用するかを選択できます。「1.1.5.1 デュアル・エッジ・サンプリング」を参照してください。

2.0 アプリケーション情報 (つづき)

2.4.6 パワーダウン機能

パワーダウン・ピン (PD と PDK) を制御することで、ADC08D1020 全体か、または "I" チャネルは動作を続けたままで "Q" チャネルのみがパワーダウンに移行します。パワーダウン機能の詳細は「1.1.7 パワーダウン」を参照してください。

該当するチャネルの PD ピンを High にすると、デジタルデータ (+ / -) 出力ピンはハイ・インピーダンスになります。通常動作に復帰する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければならない。

較正処理の実行中に PD 入力を High にしても、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

2.5 デジタル出力

ADC08D1020 はダイ上の 2 系統のコンバータの各データ出力を 2 組の LVDS 出力バスにマルチプレクスして出力します (各コンバータに 2 組で合計で 4 組)。2 系統のコンバータそれぞれで、CLK + の奇数番目の立ち上がりエッジから開始した連続変換の結果が 2 組の LVDS バスの片方から出力され、CLK + の偶数番目立ち下がりエッジから開始した連続変換の結果が他方の LVDS バスから出力されます。すなわち、各 LVDS バスのワード・レートは ADC08D1020 の入力クロック・レートの半分になることを意味し、1GSPS の変換結果を得るには 2 組のバスをマルチプレクスしなければなりません。

このデバイスの最小推奨クロックレートは 200MSPS (通常の非 DES モード) ですが、200MHz 入力クロックを与えて 2 組の LVDS バスの片方の出力を使えば 200MSPS データは半分になり、実効サンプリング・レートを 100MSPS に下げることができます。

すべての LVDS 出力を外部でラッチできるように LVDS クロック・ペア (DCLK + / -) が出力されています。ただし、必要に応じて、OR + / - 出力を第 2 の DCLK + / - 出力として使用することもできます。データが DCLK の立ち上がりまたは立ち下がりいずれかで送出されるかは、「2.4.3 出力エッジの同期」で説明したように、OutEdge ピンのレベルで決まります。

DDR (ダブル・データレート) クロッキングも使用可能です。このモードではデータのワードは DCLK の両エッジで出力され、DCLK 周波数は入力クロック周波数の 1/4 になります。詳細は「タイミング図」のセクションを参照してください。

OutV ピンは LVDS 差動出力レベルの設定に使用します。「2.4.4 LVDS 出力レベル制御」を参照してください。

出力フォーマットはオフセット・バイナリです。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべて 1 となり、 V_{IN+} に対して V_{IN-} が正の場合のフルスケール入力レベルの出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 か 128 になります。デジタル ASIC によってより高速動作が可能な場合には、非マルチプレクス・モードの動作も選択できます。

2.6 電源の考慮事項

A/D コンバータは、適切にバイパスされていないとデバイス自身の電源により性能を劣化させるような非常に大きなトランジェント電流が流れます。33 μ F のコンデンサを A/D コンバータの電源ピンから 2.5cm (1 インチ) 以内に配置してください。0.1 μ F のコンデンサを各 V_A ピンのそれぞれに、可能なら 5mm 以内のできるだけ

近くに配置してください。リードレス・チップ・コンデンサは低リード・インダクタンスなので、望ましい選択です。

デジタル・ノイズが A/D コンバータのアナログ回路部分に混入しないように、 V_A と V_{DR} 電源ピンは分離してください。共通の電源で両者を駆動する場合は、電源ラインの間に JW Miller 社の FB20009-3B のようなフェライト・チョークを挿入することを推奨します。

他の高速コンバータと同じく ADC08D1020 の電源ノイズ除去性能は十分ではありません。大きなデジタル電力を消費するシステムでは、デジタル回路用に使用する電源を ADC08D1020 の電源として使用しないでください。A/D コンバータ用に専用電源が存在しない場合は、他のアナログ回路用の電源を使用してください。

2.6.1 電源電圧

ADC08D1020 は $1.9V \pm 0.1V$ の電源電圧範囲で動作するように規定されています。このデバイスは、わずかに高い電源電圧でも動作しますが、製品寿命を縮める恐れがあるので注意してください。

いかなるピンも、トランジェントによる変動時であっても、電源電圧以上やグラウンドから 150mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウン回路に依存する問題です。すべてのアナログおよびデジタル入力が ADC08D1020 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

電源投入時およびパワーダウン時も含めて、絶対最大定格には厳密に従わなければならない。ターンオン時かターンオフ時、またはその両方で電圧スパイクを発生する電源は、ADC08D1020 を破壊する可能性があります。電源オーバーシュートから保護する回路の一例を Figure 16 に示します。

多くのリニア・レギュレータは、最小負荷が存在しないとパワーオン時に出力スパイクを発生します。アクティブなデバイスは電源電圧が数百 mV に達するまでしばらく電流しか引き込みません。その結果、電源に最小負荷を接続しないでくと、ADC08D1020 を破壊し得るターンオン・スパイクが発生します。レギュレータに接続した 100 Ω 抵抗がパワーオン時に最小出力電流を与え、ターンオン・スパイクの発生を防ぎます。

Figure 16 に示す回路で入力電圧が 4V から 5V の範囲であれば LM317 リニア・レギュレータで十分です。3.3V 電源を使用する場合は LM1086 リニア・レギュレータを推奨します。

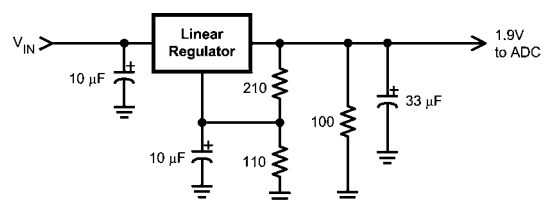


FIGURE 16. Non-Spiking Power Supply

出力ドライバは動作定格表記載の範囲にある電源電圧 V_{DR} を必要とします。 V_{DR} は電源電圧 V_A を超えてはなりません。

入力クロック信号を与えない状態で電源を印加すると、デバイスが引き込む電流は 200mA 未満になることがあります。その理由は、ADC08D1020 はクロックで動作するロジックでリセットされるためですが、その初期状態は不明です。リセット・ロジックが「ON」状態でパワーオンした場合、ほとんどのアナログ回路はパワーダウンとなって 100mA 未満の電流しか引き込みません。この電流値がパワーダウン・モードでの電流値より大きい理由は、A/D コンバータのすべての回路がパワーダウンするわけではないからです。デバイス電流は正常な入力クロックが与えられると消費電力は通常値に戻ります。

2.0 アプリケーション情報 (つづき)

2.6.2 サーマル・マネジメント

ADC08D1020 は、その動作速度のレベルとしてはきわめて小さな消費電力にて、特筆すべき高速性と高性能を達成しています。しかし、サーマル・マネジメントに注意を払う必要があるほど消費電力は大きな値を示します。信頼性の面からダイ温度は最高 130 に維持しなければなりません。すなわち、A/D コンバータの消費電力と J_A (接合部周囲熱抵抗) との積に T_A (周囲温度) を加えた値が 130 を超えてはなりません。ただし、「動作定格」セクションで規定されているとおり、周囲温度の最高が +85 以下に保たれれば問題にはなりません。

以下に露出パッド・デバイスを PCB に実装する一般的な推奨事項を示します。このガイドラインを PCB と製造工程の開発のスタートポイントと考えてください。パッケージ実装の過去の経験に基づいてプロセス開発を行うことを推奨します。

ADC08D1020 のパッケージ裏面には露出パッドがあり、プリント回路板に対して重要な放熱経路を提供するとともに、電気的に優れたグラウンド経路を形成します。PCB にリードを実装するランド・パターン設計は従来の LQFP と同じですが、露出パッドはパッケージの熱をできる限り逃がし、また製品の性能を最高レベルに発揮させるようにボードに実装します。

パッケージから熱をできるだけ逃がすには、パッケージのフットプリント内にサーマル・ランド・パターンを設けます。デバイスの露出パッドは、パッケージから適切な熱伝導が確保されるようにハンダ付けしなければなりません。この露出パッド用のランド・パターンは、パッケージの露出パッド・サイズ 5mm × 5mm より大きく、かつ、デバイスの露出パッド全体がそのサーマル・ランド・パターンに収まるように設計しなければなりません。サーマル・ランド・パターンは電気的にグラウンドに接続します。露出パッド用ランド・パターンとパッケージ・ピンの実装パッドとの間には、0.5mm 以上のクリアランスを設けてください。

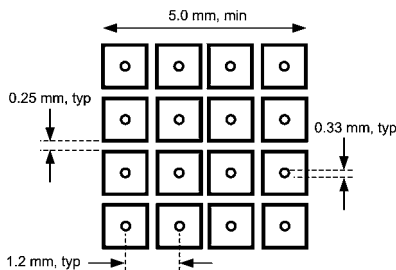


FIGURE 17. Recommended Package Land Pattern

大きなアパーチャはリリースが悪くなるため、Figure 17 に示すランド・パターンのように小さなアパーチャ配列に分割してください。

接合部温度をできるだけ下げするために単純なヒートシンクを PCB 上に形成してください。PCB の反対側の面におよそ 5cm 平方 (25cm²) の銅箔エリアを設ける方法などがあります。銅箔領域には腐食を防止するためにメッキまたはハンダ・コートが必要ですが、断熱効果のある絶縁コーティングは行わないでください。表面と裏面の銅箔領域どうしをサーマル・ビアで接続します。このサーマル・ビアは、「ヒートパイプ」として、ボードのデバイス面から効果的な放熱が期待できるボード裏面に熱エネルギーを伝えます。9 個から 16 個のサーマルビアを推奨します。

サーマル・ビアは 1.2mm の格子間隔で配置し、その直径は 0.30mm から 0.33mm とします。ハンダ・プロセス中にビア内に入ったハンダによって、パッケージ露出パッドと PCB のサーマル・ランドとの間にボイド (気泡) が生じないように、サーマル・ビア内側にはハレル・メッキを行ってください。このようなボイドはボード上

のサーマル・ランドとデバイス間の熱抵抗を高めることがあり、デバイスの温度を上昇させてしまいます。

ダイ温度をモニタしたい場合はサーマル・ビア近くのボード上のヒートシンク領域に温度センサを実装します。この場合、温度センサと ADC08D1020 ダイの J_C の差に消費電力の代表値を乗じた $2.8 \times 1.8 = 5$ の誤差を許容する必要があります。ダイから温度センサまでの許容される温度低下をマージンを加えて 6 とすると、パッド温度の最大読み取り値を 124 以下に維持すれば、ADC08D1020 の露出パッドが適正にハンダ付けされサーマル・ビアが適切に設けられていると仮定した場合に、ダイ温度は 130 を超えることはありません (上述の計算には温度センサの不確かさを加える必要があります)。

2.7 レイアウトとグラウンド

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。アナログ領域とデジタル領域に分割したグラウンド層ではなく、単一のグラウンド層を使用してください。

デジタル信号のスイッチング・トランジェントには多くの高周波成分が含まれますが、グラウンド層全体の銅箔質量はロジックに起因するノイズにわずかな効果しか与えないことが、表皮効果理論から理解されます。これは表皮効果を伴うため、グラウンド層の全重量より先表面積のほうが重要となります。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をカップリングすると性能低下を招き、両回路の分離とノイズ対策が困難になります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

アナログ信号部品に電源を供給するリニア部品または電源トレースまたは電源層の上または近くに、大電力を消費するデジタル部品を配置してはなりません。形成されるデジタルのリターン電流パスが、A/D コンバータのアナログ入力「グラウンド」リターンに変動を与える可能性があり、変換結果に過度のノイズを誘引してしまいます。

一般に、アナログ・ラインとデジタル・ラインを 90° で交差させれば、アナログ・パスにデジタル・ノイズは混入しないものとして考えられます。しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。入力クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般に受け入れられている、90° でアナログ / デジタル信号ラインを互いに交差させる方法は、高周波では小規模なカップリングでも問題が起こる可能性があるため避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。ADC08D1020 が必要とする低電圧駆動では特に重要です。コンバータの入力とアナログ・グラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の十分にクリーンな点に接続してください。すべてのアナログ回路 (入力アンプ、フィルタなど) は、他のあらゆるデジタル部品から離して配置してください。

2.8 ダイナミック特性

ADC08D1020 は AC テストされており、ダイナミック特性が保証されています。公表仕様を満たし、またジッタに起因するノイズを防ぐには、CLK 入力を駆動するクロック・ソースは低 rms ジッタでなければなりません。許容可能なジッタは、「2.3 クロック入力」に記載したとおり、入力周波数と入力信号レベルの関数です。

2.0 アプリケーション情報 (つづき)

A/D コンバータのクロック・ラインは、できるだけ短く配線し、他の信号から適切に離し、かつ、伝送ラインとして取り扱うことが望まれます。クロック以外の信号がクロック信号に対してジッタの原因となる可能性があります。同様にクロック信号も、アナログ信号と適切に分離していない場合には、アナログ信号にノイズを与えることがあります。

最高のダイナミック性能はパッケージ裏面の露出パッドがグラウンドに適切に接続されている状態で得られます。その理由は、ダイからグラウンドへのパスの方がパッケージのグラウンド・ピンよりインピーダンスが低いからです。

2.9 シリアル・インタフェースの使用法

ADC08D1020 は非拡張制御モード (非シリアル・インタフェース) か拡張制御モードのいずれかで動作します。Table 10、Table 11 に、非拡張制御モードと拡張制御モードにおける 3 ピン、4 ピン、14 ピン、127 ピンのそれぞれの機能をまとめてあります。

2.9.1 非拡張制御モード動作

非拡張制御モードは、シリアル・インタフェースを有効にせず、制御可能なすべての機能はピン設定で制御するモードです。41 ピンは拡張制御を有効にする第 1 優先の制御ピンです。41 ピンが High の場合、デバイスは非拡張制御モードになります。41 ピンをフローティング、52 ピンをフローティングまたは High にした場合は、14 ピンによって拡張制御モードをイネーブルにできます (第 2 優先の拡張制御モード・イネーブル)。非拡張制御モードでも、ピンによって設定できる機能があります。例えば、非拡張制御モードでは、フルスケール・レンジを 14 ピンの High または Low 設定によって制御します。Table 10 に非拡張制御モードにおける ADC08D1020 のピン機能を示します。

TABLE 10. Non-Extended Control Mode Operation (Pin 41 Floating and Pin 52 Floating or Logic High)

Pin	Low	High	Floating
3	Reduced V_{OD}	Normal V_{OD}	n/a
4	OutEdge = Neg	OutEdge = Pos	DDR
127	CalDly Short	CalDly Long	DES
14	Reduced V_{IN}	Normal V_{IN}	Extended Control Mode

非拡張制御モードでは 3 ピンは High または Low のいずれにも設定することが可能です。詳細は「1.2 通常制御と拡張制御」を参照してください。

非拡張制御モードでは 4 ピンは、High または Low、あるいはフローティングのいずれにも設定可能です。このモードでは、4 ピンの High と Low は出力データ遷移のエッジを決定します。詳細は「2.4.3 出力エッジの同期」を参照してください。このピンをフローティングで使用すると出力クロック (DCLK) は DDR (ダブル・データレート) クロックになり (「1.1.5.3 シングル・データレートとダブル・データレート」参照)、この場合データは DCLK の両エッジで出力されるため出力エッジの同期選択は意味がありません。

非拡張制御モードで 127 ピンを High または Low にすると較正遅延が設定されます。127 ピンをフローティングにすると較正遅延はこのピンを Low にしたときと同じになり、同時に、コンバータはデュアル・エッジ・サンプリング (DES) を行います。

TABLE 11. Extended Control Mode Operation (Pin 41 Logic Low or Pin 14 Floating and Pin 52 Floating or Logic High)

Pin	Function
3	SCLK (Serial Clock)
4	SDATA (Serial Data)
127	SCS (Serial Interface Chip Select)

2.10 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと

デバイスの信頼性の観点から、いずれの入力にもグラウンドから 150mV を超えて低い電圧、あるいは電源電位から 150mV を超えて高い電圧を与えてはなりません。これらのリミットを信号の遷移時においても超過すると、性能低下あるいは誤動作を引き起こすだけでなく、デバイスの信頼性を損ねることがあります。高速デジタル回路では、グラウンド電位を下回るアンダーシュートが印加されることは珍しくありません。高速信号ラインのインピーダンスを管理するとともに、それらラインを特性インピーダンスで終端して、オーバーシュートを制御してください。

ADC08D1020 の入力をオーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

DC 結合モード時に不適切なアナログ入力同相電圧を与えないこと

「1.1.4 アナログ入力」および「2.2 アナログ入力」で説明したとおり、入力同相電圧は、 V_{CMO} 出力電圧の 50mV 以内に維持し、かつ温度変動に追従させなければなりません。入力同相電圧が V_{CMO} から 50mV 以上乖離すると歪み性能が低下します。

不適切なアンプを使ってアナログ入力をドライブしないこと

多くの高速アンプは ADC08D1020 より歪みが大きく、システムの全体性能を悪化させてしまうため、ADC08D1020 を駆動する高周波アンプの選定には注意が必要です。

V_{BG} ピンを駆動してリファレンス電圧を変更しないこと

「2.1 リファレンス電圧」で述べたとおり、リファレンス電圧は FSR ピンまたはフルスケール電圧調整レジスタの設定によって決まる値に固定して使用します。このピンを駆動してもフルスケール値が変わることはなく、逆に誤動作を招きます。

クロック入力を過度に高い信号レベルでドライブしないこと

入力オフセットが変化する恐れがあるため、A/D コンバータの入力クロックに「動作定格」に記載の値を超える電圧を与えてはなりません。

不適切な入力クロック・レベルを与えないこと

「2.3 クロック入力」で説明したように、不十分な入力クロック・レベルは性能劣化につながります。過度の入力クロック・レベルは入力オフセットの増加を招きます。

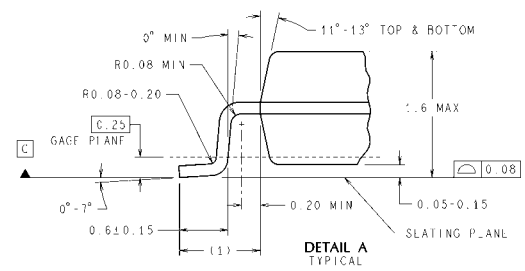
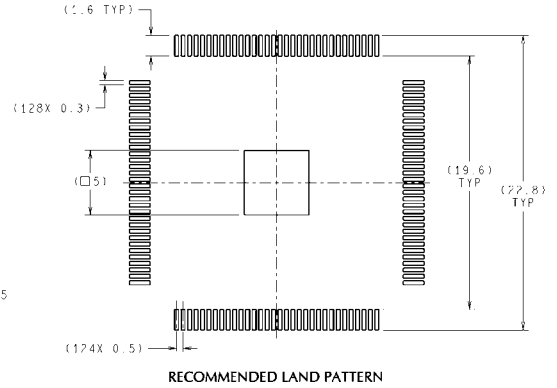
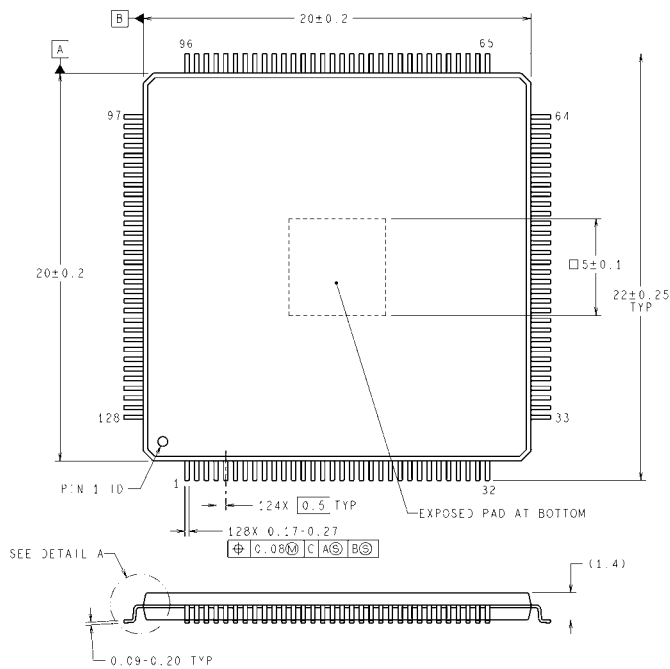
過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ SN 比の劣化を招きます。

放熱を適切に行うこと

「2.6.2 サーマル・マネジメント」で述べたように、デバイスの信頼性を確保するためには十分な放熱が不可欠です。適切なエアフローがボード上に形成する単純なヒートシンクで実現可能です。適切な性能を得るために裏面のパッドはグラウンドに接続してください。

外形寸法図 単位は millimeters



NOTE: 特記のない限り、JEDEC 登録 MS-026、VARIATION BFB を参照

VNX128A (Rev B)

128-Lead, Exposed Pad, Low Profile, Quad, Flatpack (LQFP)
Order Number ADC08D1020CIYB
NS Package Number VNX128A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上